

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231942

(43)Date of publication of application : 16.08.2002

---

(51)Int. Cl.

H01L 29/78

H01L 21/20

H01L 21/8238

H01L 27/092

---

(21)Application number : 2001-  
362704

(71)Applicant : TOSHIBA CORP

(22)Date of filing :

28.11.2001

(72)Inventor : KAMATA YOSHIKI  
NISHIYAMA AKIRA

---

(30)Priority

Priority  
number :

2000361455

Priority  
date :

28.11.2000

Priority  
country :

JP

---

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can suppress generation of a short channel effects and the junction leakage current and which has a diffusion layer of a low resistance and a short transmission delay time.

SOLUTION: On a side wall of the gate electrode 3 projecting on a substrate 1a structure having a plurality of laminated films that is a plurality of side wall layer structures 4 and 5 are disposed. A gap 10a generated by the separation of the side wall layer 5 from the substrate 1 is filled with at least part of an elevated source and drain region 8.

---

### CLAIMS

---

[Claim(s)]

[Claim 1]A semiconductor device characterized by what it is [ a thing ] characterized by comprising the following.

A silicon substrate.

Gate dielectric film provided in said silicon substrate surface.

A gate electrode provided on said gate dielectric film.

The 1st sidewall layers that are provided in the side of said gate electrode and reach said silicon substrate surface. An EREBETEDDO field which grew silicon epitaxially to said silicon substrate surface. The 2nd sidewall layers that consist of material which was provided in sidewall layers of said gate electrode via said 1st sidewall layers. has estranged by said EREBETEDDO field with said silicon substrate surface and is different from said 1st sidewall layers. The source region and a drain area which were provided into said silicon substrate are in contact with said EREBETEDDO field and have the same conductivity type as said EREBETEDDO field.

[Claim 2] A semiconductor device currently filling in said EREBETEDDO field in a semiconductor device of claim 1 between said 2nd sidewall layers estranged from said silicon substrate and said silicon substrate.

[Claim 3] A semiconductor device wherein an opening is formed between said 1st sidewall layers and said EREBETEDDO field in a semiconductor device of claim 1.

[Claim 4] In a semiconductor device of claim 1 an angle which a side edge of said EREBETEDDO field and a silicon substrate surface accomplish  $\theta$ . A semiconductor device characterized by fulfilling conditions of  $x > y / \tan \theta$  when a size of a perpendicular direction of a gap of  $x$  said substrate and said 2nd sidewall layers is set to  $y$  for a size between said gate-dielectric-film end and said 2nd sidewall-layers periphery edge.

[Claim 5] A semiconductor device wherein said silicon substrate has an isolation region and said at least a part of EREBETEDDO field extends on an isolation region in a semiconductor device of claim 1.

[Claim 6] In a semiconductor device of claim 5 said EREBETEDDO field distance which grew an isolation region top epitaxially in a transverse direction  $t$ . A semiconductor device characterized by filling  $t > s / \tan \phi$  when an angle of the side of said EREBETEDDO field on  $s$  and said isolation region and said silicon substrate surface to accomplish is set to  $\phi$  for the thickness.

[Claim 7] A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming gate dielectric film on a silicon substrate.

A process of forming a gate electrode on this gate dielectric film.

A process of forming the 1st insulator layer on said substrate so that

the upper surface and sidewall layers of said gate dielectric film and said gate electrode may be covered.

A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on said 1st insulator layerA process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ]and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layerA process of removing by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layerand exposing the surface of said silicon substrate of the said 1st and 2nd circumferences of an insulator layerA process of growing silicon epitaxially to this exposed silicon substrate surfaceand forming an EREBETEDDO field in itand a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least.

[Claim 8]A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming gate dielectric film on a silicon substrate.

A process of forming a gate electrode on this gate dielectric film.

A process of forming the 1st insulator layer on said substrate so that the upper surface and sidewall layers of said gate dielectric film and said gate electrode may be covered.

A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on said 1st insulator layerA process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ]and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layerA process of removing by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layerand exposing the surface of said silicon substrate of the said 1st and 2nd circumferences of an insulator layerA process of growing silicon epitaxially and forming an EREBETEDDO field while passing gas containing a conductivity-type impurity of III fellows or V fellows to this exposed silicon substrate surfaceand a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least.

[Claim 9]A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming gate dielectric film on a silicon substrate.

A process of forming a gate electrode on this gate dielectric film.

A process of forming the 1st insulator layer on said substrate so that the upper surface and sidewall layers of said gate dielectric film and said gate electrode may be covered.

A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on said 1st insulator layerA process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ]and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layerA process of removing by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layerand exposing the surface of said silicon substrate of the said 1st and 2nd circumferences of an insulator layerA process of growing silicon epitaxially to this exposed silicon substrate surfaceand forming an EREBETEDDO field in itA process of forming a diffusion zone by introducing a conductivity-type impurity into said EREBETEDDO field by an ion implantationand performing annealingand a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least.

[Claim 10]A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming gate dielectric film on a silicon substrate.

A process of forming a gate electrode on this gate dielectric film.

A process of forming the 1st insulator layer on said substrate so that the upper surface and sidewall layers of said gate dielectric film and said gate electrode may be covered.

A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on said 1st insulator layerA process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ]and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layerA process of forming a source diffused layer and a drain diffused layer into said silicon substrate by performing annealing after introducing an impurity by an ion implantation into said silicon substrateA process of removing by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layerand exposing the surface of said silicon substrate of the said 1st and 2nd circumferences of an insulator layerA process of growing silicon epitaxially and forming an EREBETEDDO field while passing gas containing a conductivity-type impurity of III

III or V impurities to this exposed silicon substrate surface and a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least.

[Claim 11] A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming gate dielectric film on a silicon substrate.

A process of forming a gate electrode on this gate dielectric film.

A process of forming the 1st insulator layer on said substrate so that the upper surface and sidewall layers of said gate dielectric film and said gate electrode may be covered.

A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on said 1st insulator layer. A process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ] and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layer. A process of removing by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layer and exposing the surface of said silicon substrate of the said 1st and 2nd circumferences of an insulator layer. A process of growing silicon epitaxially and forming an EREBETEDDO field while passing gas containing a conductivity-type impurity of III impurities or V impurities to this exposed silicon substrate surface. A process of forming a source diffused layer and a drain diffused layer into said silicon substrate by performing annealing after introducing an impurity by an ion implantation into said silicon substrate and a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least.

[Claim 12] A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming an isolation region in a silicon substrate.

A process of forming gate dielectric film on a silicon substrate.

A process of forming a gate electrode on this gate dielectric film.

So that the upper surface and sidewall layers of said gate dielectric film and said gate electrode may be covered. A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on a process of forming the 1st insulator layer on said substrate and said 1st insulator layer. A process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ] and makes sidewall

layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layerA process of exposing the surface of said silicon substrate which removes by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layerand includes said isolation region of the said 1st and 2nd circumferences of an insulator layerA process of growing silicon epitaxially and forming an EREBETEDDO field so that it may extend on said isolation region in this exposed silicon substrate surfaceand a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]Especially this invention relates to an MIS [ which has EREBETEDDO sauce / drain structure ] type semiconductor deviceand a manufacturing method for the same about the manufacturing method of a semiconductor device and a semiconductor device.

[0002]

[Description of the Prior Art]In recent yearsthe integrated circuit which accumulated many transistorsresistanceetc. on the semiconductor substrate is widely used for the significant part of a computer or communication equipment. Howeverthe design rule is also reduced with high integration of an element every year. And in the MIS type integrated circuitin order to inhibit the short channel effect accompanying gate length's reductionit is required that the diffusion-zone depth should be made shallow. It is necessary to prevent increase of resistance by the diffusion-zone depth becoming shallow simultaneously. The structurei.e.EREBETEDDO sauce / drain structurein which only sauce/drain area lifted silicon shallowly by making the diffusion-zone depth into the method of keeping diffusion-zone resistance lowThe silicide which is a compound of silicon and metal is validated by the technique of combining Salicide formed in self align (et al. 1995 Symposium on VLSI T. Yoshitomi). Technology Digest ofTechnical Papers p.11.

[0003]The formation of this EREBETEDDO sauce / drain structure itself can include what is depended on vapor phase epitaxial growth and solid phase epitaxial growthand it is tried by also until by some methods. Howeverin epitaxial growtha facet is produced during epitaxial growth

near the isolation near the gate oxide the time of the ion implantation process which epitaxial growth thickness in these neighborhood cannot enough be thickened especially continues due to the fall of the epitaxial growth thickness near the gate -- an impurity -- a substrate -- until pouring will be carried out deeply and a short channel effect will be produced. In the case of the silicide process of furthermore continuing the distance from pn junction will become short and will produce joint leakage. In order to control leak of this silicide reason before the silicide process the process of newly forming a sidewall on EREBETEDDO source / drain area was needed and there were problems like a routing counter increases. The distance between the gate electrode-source region or between gate electrode-drain areas will approach as the minuteness making of an element progresses and there are also short-circuiting electrically and a problem.

[0004]

[Problem(s) to be Solved by the Invention] The semiconductor device and manufacturing method with which leak and a short circuit were controlled from the above-mentioned conventional problem in the semiconductor device which has EREBETEDDO source / drain structure and which have a shallow and low resistance diffusion zone were demanded.

[0005]

[Means for Solving the Problem] Gate dielectric film in which the 1st mode of this invention was provided in a silicon substrate and said silicon substrate surface A gate electrode provided on said gate dielectric film and the 1st sidewall layers that are provided in the side of said gate electrode and reach said silicon substrate surface An EREBETEDDO field which grew silicon epitaxially to said silicon substrate surface The 2nd sidewall layers that consist of material which was provided in sidewall layers of said gate electrode via said 1st sidewall layers has estranged by said EREBETEDDO field with said silicon substrate surface and is different from said 1st sidewall layers It was provided into said silicon substrate is in contact with said EREBETEDDO field and is in a semiconductor device characterizing by having the source region and a drain area which have the same conductivity type as said EREBETEDDO field.

[0006] It is considered as sidewall-layers structure which becomes a gate electrode side of MIS type element such as a transistor and resistance from two or more layers laminated by silicon substrate face direction and leakage current of a tunneling reason between a gate source or a drain is controlled.

[0007] A substance equivalent to the 1st sidewall layers of a portion

which formed a gap in the 2nd sidewall-layers end and a silicon substrate surface and was pinched in this gap when a side far from the 1st sidewall layers and a gate electrode is made [ two or more sidewall layers ] into the 2nd sidewall layers for a side near a gate electrode is lost. The neighborhood of the distance of these fields and channels is carried out by arranging EREBETEDDO sauce / drain area. Since a diffusion zone of a substrate under a described area and distance of the bottom of gate edge of a channel can suppress diffusion length of the neighborhood and an impurity at the time of diffusion-zone formation and can also control the diffusion-zone depth by this a short channel effect can be inhibited.

[0008] In the 1st mode if it constitutes so that generating of a facet at the time of epitaxial growth may be controlled and it is made to be filled in an EREBETEDDO field between the 2nd sidewall layers and a silicon substrate a short channel effect and leak can be controlled. Usually a crystal face with a certain specific indices of crystal plane called a facet at the time of epitaxial growth will be formed and epitaxial growth of the plane direction will be controlled. In solid phase epitaxial growth especially {110} sides have an epitaxial growth rate about twice [ about ] as slow as {100} sides and {111} sides have an epitaxial growth rate slower than {100} sides about about 20 times. Usually although a silicon substrate with {100} sides is used an epitaxial growth face is in a tendency which forms a field where a growth rate of not only {100} sides but {110} sides {111} sides etc. is slow. There is a tendency which forms {311} sides similarly in the case of vapor phase epitaxial growth. When DHF processing is not enough an epitaxial growth layer will produce a facet by considering gate dielectric film as a reason.

[0009] Although amorphous silicon (it is hereafter written as a-Si) which deposited this on an insulator layer is weak it has combined with an atom which constitutes an insulator layer and it is thought that a difference of the binding energy is reflected. It became clear that it was easier to generate a facet by this invention person's experiment [ near the silicon oxide ] than [ near the silicon nitride film ]. Therefore under conditions to which a facet is formed by considering an oxide film as a reason when gate dielectric film is an oxide film but an epitaxial growth face touches under a sidewall of a silicon nitride film a sidewall top can be grown epitaxially without forming a facet with a silicon nitride film. In solid phase epitaxial growth an amorphous silicon will be filled with said etching region without an opening and will form a facet in early stages of growth by continuing solid phase epitaxial growth but.



Although it is late in order to grow up also in a facet surface all amorphous silicons it was [ amorphous silicons ] full of said etching region are crystallized by fully carrying out solid phase epitaxial growth.

[0010] Since said silicide film can be enough separated from pn junction if it is made to grow epitaxially until an EREBETEDDO field touches said 2nd sidewall-layers side by this invention and epitaxial thickness near [ said ] the 2nd sidewall layers is made thick enough leak of said silicide film reason can be controlled.

[0011] If it constitutes from this invention so that an opening may be formed between the 1st sidewall layers and said EREBETEDDO field when a facet originates an opening isolates between a gate electrode and EREBETEDDO sauce / drain and since an opening is a lower dielectric constant it can reduce parasitic capacitance.

[0012] It is preferred that thickness on a substrate of an EREBETEDDO field of a portion surrounded by a substrate the 1st sidewall layers and the 2nd sidewall layers makes it larger than clearance of a substrate and the 2nd sidewall layers. When a size of a perpendicular direction of a gap of  $x$  a substrate and the 2nd sidewall layers is set [ an angle which a side edge of an EREBETEDDO field and a silicon substrate surface accomplish ] to  $y$  for a size between  $\theta$  a gate-dielectric-film end and the 2nd sidewall-layers periphery edge it is desirable to fulfill conditions of  $x > y / \tan \theta$ .

[0013] It is desirable for an EREBETEDDO field to contain a conductive impurity more than a solid-solution limit.

[0014] A silicon substrate has an isolation region and at least a part of EREBETEDDO field can apply this invention to composition which extends on an isolation region.

[0015] In said extension composition an EREBETEDDO field distance which grew an isolation region top epitaxially in a transverse direction  $t$  it is desirable to fill  $t > s / \tan \phi$  when an angle of the side of said EREBETEDDO field on  $s$  and an isolation region and said silicon substrate surface to accomplish is set to  $\phi$  for the thickness.

[0016] It is desirable for a periphery of the 2nd sidewall layers to estrange and exist above an isolation region and for an EREBETEDDO field which grew epitaxially considering the source region or a drain area of a silicon substrate as a seed part to exist between the 2nd sidewall layers and said isolation region.

[0017] It is desirable for the source region or a drain area to contain a silicide film of metal or a refractory metal.

[0018] In extension composition it is desirable for a silicide film of

metal or a refractory metal to exist only in an EREBETEDDO field on an isolation region.

[0019]A gate electrode can be used as metal.

[0020]The following methods are used for another mode of this invention in order that at least some fields between a gate electrode and EREBETEDDO source / drain area may make its structures i.e. two or more sidewall-layers structures which two or more films which consist of a suitable order laminated.

[0021]Namely so that the upper surface and sidewall layers of a process of forming gate dielectric film on a silicon substrate a process of forming a gate electrode on this gate dielectric film and said gate dielectric film and said gate electrode may be covered A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on a process of forming the 1st insulator layer on said substrate and said 1st insulator layer A process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ] and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layer A process of removing by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layer and exposing the surface of said silicon substrate of the said 1st and 2nd circumferences of an insulator layer It has a process of growing silicon epitaxially to this exposed silicon substrate surface and forming an EREBETEDDO field in it and a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least.

[0022]By passing simultaneously gas which replaces a part of this mode with for example contains a conductivity-type impurity at the time of epitaxial growth a conductivity-type impurity can be included in an epitaxial film an ion implantation and a sidewall removal process can be skipped and a process can be simplified.

[0023]As gas containing this conductivity-type impurity gas containing a conductivity-type impurity of III fellows or V fellows can be used.

[0024]A process of forming a diffusion zone can be added by introducing a conductivity-type impurity into an EREBETEDDO field by an ion implantation and performing annealing.

[0025]Other modes of this invention so that the upper surface and sidewall layers of a process of forming gate dielectric film on a silicon substrate a process of forming a gate electrode on this gate dielectric film and said gate dielectric film and said gate electrode may be covered A process of forming the 2nd insulator layer that consists of

a different material from this 1st insulator layer on a process of forming the 1st insulator layer on said substrate and said 1st insulator layer A process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ] and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layer A process of forming a source diffused layer and a drain diffused layer into said silicon substrate by performing annealing after introducing an impurity by an ion implantation into said silicon substrate A process of removing by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layer and exposing the surface of said silicon substrate of the said 1st and 2nd circumferences of an insulator layer A process of growing silicon epitaxially and forming an EREBETEDDO field while passing gas containing a conductivity-type impurity of III fellows or V fellows to this exposed silicon substrate surface A manufacturing method of a semiconductor device provided with a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least is obtained.

[0026] Other modes so that the upper surface and sidewall layers of a process of forming gate dielectric film on a silicon substrate a process of forming a gate electrode on this gate dielectric film and said gate dielectric film and said gate electrode may be covered A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on a process of forming the 1st insulator layer on said substrate and said 1st insulator layer A process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ] and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layer A process of removing by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layer and exposing the surface of said silicon substrate of the said 1st and 2nd circumferences of an insulator layer A process of growing silicon epitaxially and forming an EREBETEDDO field while passing gas containing a conductivity-type impurity of III fellows or V fellows to this exposed silicon substrate surface A process of forming a source diffused layer and a drain diffused layer into said silicon substrate by performing annealing after introducing an impurity by an ion implantation into said silicon substrate A manufacturing method of a semiconductor device provided with a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least is obtained.

[0027]It is desirable to remove thoroughly the 1st insulator layer of a field between silicon substrates under the 2nd insulator layer by etching.

[0028]It is desirable that it is what it is etched so that a part of 1st insulator layer of a field between silicon substrates under the 2nd insulator layer may remain and epitaxial growth depends on deposition and solid phase growth of an amorphous silicon.

[0029]It is desirable to remove a part of 1st insulator layer between the 2nd insulator layer and a gate electrode by etching.

[0030]A process at which other modes of this invention form an isolation region in a silicon substrate so that the upper surface and sidewall layers of a process of forming gate dielectric film on a silicon substrate a process of forming a gate electrode on this gate dielectric film and said gate dielectric film and said gate electrode may be covered. A process of forming the 2nd insulator layer that consists of a different material from this 1st insulator layer on a process of forming the 1st insulator layer on said substrate and said 1st insulator layer. A process which etches the surface of said 2nd insulator layer as an etching stopper [ as opposed to said silicon substrate for said 1st insulator layer ] and makes sidewall layers of said gate electrode save said 2nd insulator layer selectively via said 1st insulator layer. A process of exposing the surface of said silicon substrate which removes by etching said 1st insulator layer of a field which is not covered with said 2nd insulator layer and includes said isolation region of the said 1st and 2nd circumferences of an insulator layer. A process of growing silicon epitaxially and forming an EREBETEDDO field so that it may extend on said isolation region in this exposed silicon substrate surface. It is in a manufacturing method of a semiconductor device provided with a process of said EREBETEDDO field of changing a surface portion into a metal silicide film at least.

[0031]It is desirable to start a process of forming a metal silicide film only in the epitaxially grown surface on an isolation region.

[0032]It is desirable to be formed so that a part of 2nd saved insulator layer may extend on an isolation region.

[0033]It is as desirable as epitaxial growth Takumi to include a process of removing at least a part of 2nd insulator layer behind.

[0034]moreover -- in a manufacturing method which forms said isolation region -- a DAMASHIN process -- that is a process of carrying out flattening of the interlayer insulation film and exposing the gate electrode surface after depositing an interlayer insulation film on a gate electrode the 2nd insulator layer the EREBETEDDO source region and

EREBETEDDO drain area and an isolation region A gate electrode and a process of removing gate oxide subsequently and exposing a silicon substrate surface A process of newly forming gate dielectric film in a silicon substrate surface and an insulation film side wall layer inner surface which were exposed and a process of newly forming a gate electrode via gate dielectric film which is on an exposed surface of a silicon substrate and was newly formed can be added.

[0035]

[Embodiment of the Invention] Hereafter this invention is explained with reference to drawings based on an example.

(The 1st example) Drawing 1 and drawing 2 are the sectional views of process order [ of the 1st example ] (a) - (j). On the semiconductor substrate 1 which comprises silicon first the vadum type isolation region (STI) 11 is formed and the element region 1a is formed. Next form the gate dielectric film 2 (drawing 1 (a)) next the gate electrode 3 which consists of polycrystalline silicon is made to deposit (drawing 1 (b)) After passing through a lithography step a gate electrode is processed the anisotropic etching (Reactive Ion Etching) for example RIE by plasma and it forms so that it may project from the substrate 1 (drawing 1 (c)). Then a gate electrode is oxidized (it is hereafter called an after [ a gate ] oxidation process) and the 1st sidewall layers 4 are formed (drawing 1 (d)). The surface which serves as the source region / drain area 8 at the time of an after [ this gate ] oxidation process also oxidizes. Next after making the silicon nitride film ( $\text{Si}_3\text{N}_4$ ) 5 deposit with a CVD (chemical vapor deposition) device (drawing 1 (e)) a silicon nitride film is formed only beside a gate electrode by the anisotropic etching by plasma (drawing 1 (f)). However a part of gate dielectric film on the source region / drain area 8 and silicon oxide may be deleted by the anisotropic etching by this plasma.

[0036] A liner layer ( $\text{SiO}_2$ ) for example silicon oxide may be made to deposit with a CVD system if needed before said silicon nitride film 5 deposition and also the process annealed if needed may be included. The deposition apparatus of this liner layer or a silicon nitride film may not be restricted to a CVD system and may use a sputter device an evaporation apparatus etc. The multilayer film which does not restrict to silicon oxide and consists of two or more sorts shall be sufficient as a liner layer.

[0037] the case where there are gate post oxide films (oxide film \*\*\*\* on sauce/drain area) and a liner layer hereafter -- it -- in all -- it being called the 1st sidewall layers and It supposes that the silicon nitride film 5 beside a gate electrode is called the 2nd sidewall

layers and also even if it forms the film of further others in the side of a silicon nitride film it is called the 2nd sidewall layers. However these 2nd sidewall layers are not restricted to a silicon nitride film. Said silicon substrate assumes that germanium may be included. Gate dielectric film including silicon oxide and a silicon oxynitriding film A high dielectric film The oxide film or silicate film which contains at least a kind of element which is a film of high permittivity for example is specifically chosen from Ti, Zr, Hf, Ta, Al, aluminum, Ba, Sr, Y, Pr and Gd from a silicon oxide can be used.

[0038] Furthermore  $\text{TiO}_2$  and  $\text{Ta}_2\text{O}_5$  Single crystal membranes such as  $\text{BSTSi}_3\text{N}_4\text{Al}_2\text{O}_3\text{Y}_2\text{O}_3\text{La}_2\text{O}_3\text{HfO}_2\text{ZrO}_2\text{Pr}_2\text{O}_3\text{SrTiO}_3$  and  $\text{Gd}_2\text{O}_3$  Polycrystal membrane and amorphous films can be used.

[0039] Furthermore  $\text{SiO}_2$  or  $\text{TiO}_2\text{Ta}_2\text{O}_5\text{BSTSi}_3\text{N}_4\text{Al}_2\text{O}_3\text{Y}_2\text{O}_3\text{La}_2\text{O}_3\text{HfO}_2$  and  $\text{ZrO}_2$  The single crystal membrane polycrystal membrane and amorphous films to which Ti, Ta, Ba, Sr, aluminum, Y, La, Hf, Zr, Pr, Gd etc. were mixed with  $\text{Pr}_2\text{O}_3\text{SrTiO}_3$  and  $\text{Gd}_2\text{O}_3$  may be sufficient.

[0040] Either at least has a desirable thing of the interface of a Si substrate and the gate electrode and gate dielectric film of Pori made for a  $\text{SiO}_x$  ( $0 < x \leq 2$ ) layer or the layer which contains nitrogen further to intervene in between. Since the distance of an EREBETEDDO field can be separated from the part and gate electrode which enlarged the dielectric constant and this leads to the fall of parasitic capacitance the high permittivity gate insulating thing can expect high-speed operation more as compared with the case of a  $\text{SiO}_2$  gate insulating thing.

[0041] After forming to the 2nd sidewall layers 5 like drawing 1 (f) the silicon oxide 2 and 4 on the source / drain area 8 on this silicon substrate and the gate electrode 3 is etched with a rare-fluoric-acid (DHF) solution. In that case all the 1st sidewall-layers fields of the field between the 2nd sidewall layers and a silicon substrate are etched (drawing 2 (g)). The end 5a of a silicon substrate surface and the 2nd sidewall layers 5 estranges by this etching and the gap 10a is formed between them. It leaves a part of [ 4a ] thickness of the 1st sidewall layers 4 by thickness equivalent to other 1st sidewall-layers thickness. Next the amorphous silicon (a-Si) layer 6 is deposited at the temperature of 550 to 750 °C with a LP gas-CVD (low pressure chemical vapor deposition) device (drawing 2 (h)). Then annealing is performed below 750 °C and the EREBETEDDO source / drain area 8 raised up from the interface of gate dielectric film and a silicon substrate are formed by making the source / drain area 8 of the silicon substrate 1 into a seed part and carrying out solid phase epitaxial growth (drawing 2 (i)).

[0042]The amorphous silicon layer formed without becoming the epitaxial growth on the gate electrode 3 and the 2nd sidewall layers 5 if needed is etched. When the deposited film thickness of an amorphous silicon layer is 100 nm for example fluoric acid (49%): -- nitric acid (70%): -- the amorphous silicon layer which is not growing epitaxially by etching by etchant of pure water = 1:80:120 for 5 minutes is altogether removable to the epitaxially grown crystal silicon layer (drawing 2 (j)). Since a part of a-Si layer 6 on a gate electrode turns into the poly Si layer 7 like drawing 2 (j) at the above-mentioned process it remains.

[0043]Although it is a modification shown in drawing 3 thru/or drawing 5 The silicon nitride film ( $\text{Si}_3\text{N}_4$ ) 9 is made to deposit as shown in a figure after the process of drawing 1 (b) mentioned above (drawing 3 (a)) A silicon nitride film and the gate electrode 3 are processed by the anisotropic etching by plasma (drawing 3 (b)) After oxidizing the gate electrode 3 and a substrate face and forming the silicon oxide 4 (drawing 3 (c)) the silicon nitride film 5 is made to deposit (drawing 3 (d)) and a silicon nitride film is processed by the anisotropic etching by plasma (drawing 4 (e)). Next the silicon oxide 4 of the source / drain area 8 on a silicon substrate is etched with a rare-fluoric-acid (DHF) solution Only source / drain area 8 can make a silicon epitaxial growth layer form after making a-Si layer 6 deposit (drawing 4 (f)) without growing a gate electrode top epitaxially by carrying out solid phase epitaxial growth (drawing 4 (g)). However the gate electrode 3 may be the multilayer film or metal which consists of silicon silicide or metal. Hereafter although the gate electrode 5 top shows the case where it grows epitaxially also when not growing epitaxially it shall be included.

[0044]A UHV-CVD (ultra high vacuum chemical vapor deposition) device may be sufficient as the device on which a-Si layer 6 is made to deposit including this case -- the seed part of epitaxial growth -- oxygen -- a seed part -- below the surface density of the back bond of the silicon surface to kick may exist. By passing simultaneously the gas which contains conductivity-type impurities such as phosphine ( $\text{PH}_3$ ) an arsine ( $\text{AsH}_3$ ) and diborane ( $\text{B}_2\text{H}_6$ ) at the time of deposition of a-Si layer 6 a-Si layer 6 containing conductivity-type impurities (P or B) can be made to deposit and this example shall be included also when said a-Si layer contains these conductivity-types impurity.

[0045]the anisotropic etching for example RIE etching by a rare-fluoric-acid solution may be based on fluoric acid of the gaseous phase and using plasma -- it may come out. An opening does not exist between the EREBETEDDO source / drain area 8 formed by this solid phase epitaxial growth the 1st sidewall layers 4 and the 2nd sidewall layers 5 (refer to

numerals 10 of drawing 4 (g) and drawing 10 (b) b).

[0046] When a-Si deposited film thickness is thick (drawing 4 (h)) modification structures such as drawing 5 (i)-(l) are possible for the gestalt of the solid phase epitaxial growth beside the 2nd sidewall layers. Only the lower layer of the sedimentary layers 6 serves as the epitaxial growth layer 8 and drawing 5 (i) shows the gestalt in which the amorphous silicon 6 is carrying out residue to the upper layer. As for a part of epitaxial growth layer 8 drawing 5 (j) shows a gestalt grown-up to the surface 81. Although drawing 5 (k) of the epitaxial thickness of the portion which touches the sidewall layers 5 is thinner than the thickness of the field which grew epitaxially to the surface the thickness of some fields of the facet formed from the sidewall layers 5 shows a gestalt thicker than the thickness of the field which grew epitaxially to said surface. Drawing 5 (l) is a gestalt in which the thickness of the field which touches the sidewall layers 5 is thicker than the thickness of the field which grew epitaxially to the surface. Said gate dielectric film may begin  $\text{SiO}_2$  and  $\text{SiON}$  and a high dielectric film may be sufficient as it. Since an electric short circuit with the gate after the one where the etch rate by DHF is slower than silicon oxide growing epitaxially the source region or a drain area is controlled said gate dielectric film is desirable. Especially in the case of a silicon oxynitriding film since the etch rate by DHF is slower than silicon oxide about 10 times it is desirable for nitrogen to be deep at the surface side.

(The 2nd example) The 2nd example is shown in drawing 6. The 2nd example is the same manufacturing process except being what the method of forming the epitaxial growth layer in the 1st example is not solid phase epitaxial growth and depends on vapor phase epitaxial growth. The same numerals have shown what has numerals the same as drawing 1 and 2 by a diagram. However the facet is formed in the epitaxial growing region by vapor phase epitaxial growth in this example and the opening 10b exists between the 1st sidewall layer the 2nd sidewall layers and an epitaxial growth layer (drawing 6 (a)). As a gestalt of the vapor phase epitaxial growth beside the 2nd sidewall layers drawing 6 (b) drawing 6 (c) drawing 6 (d) etc. are possible according to the thickness of a growth film.

Drawing 6 (b) shows the gestalt in which the epitaxial growth layer 8a is formed without producing a facet touching the 2nd sidewall layers 5. Producing a facet touching horizontally [2nd sidewall-layers 5] the epitaxial growth layer 8b is formed and drawing 6 (c) shows a gestalt. Drawing 6 (d) shows the gestalt in which the epitaxial growth layer 8c is formed without touching the sidewall layers 5.



[0047]The opening 10b isolates between a gate electrode and EREBETEDDO sauce / drain and since the opening 10b is a lower dielectric constant it can reduce parasitic capacitance.

(The 3rd example) In etching in the 1st example except remaining without etching a part of 2nd sidewall layers and 1st sidewall layers 4b between silicon substrate the 3rd example is the same manufacturing process as the 1st example and is shown in drawing 7 (a) - (c). The same numerals have shown what has numerals the same as drawing 1 and 2.

(The 4th example) Drawing 8 explains the 4th example. In the etching process (drawing 2 (g)) in the 1st example 4 d of the 1st sidewall-layers fields between the 2nd sidewall layers 5 and the silicon substrate 1 are etched altogether. The same structure as the 1st example shows to drawing 8 except a part of 1st sidewall-layers field 4c between the 2nd sidewall layers 5 and the gate electrode 3 being etched furthermore and thickness decreasing rather than other portions of the 1st sidewall layers 4. EREBETEDDO sauce / drain area 8 is filled in contact with this light-gage portion 4c in the gap between a substrate and the 2nd sidewall layers. Also in this case the same numerals have shown the same thing as drawing 1.

(The 5th example) Drawing 9 explains the 5th example. Except all the 1st sidewall-layers fields between the 2nd sidewall layers 5 and the silicon substrate 1 being etched and also a part of 1st sidewall-layers field 4c between the 2nd sidewall layers and a gate electrode being etched it is the same as that of the 2nd example and the etching process (drawing 2 (g)) in the 1st example is shown in drawing 9. The opening 10b is formed in this light-gage portion 4c. The same numerals as drawing 3 express the same thing.

(The 6th example) The 6th example shown in drawing 10 Etching quantity  $x$  to the 1st sidewall layers under the 2nd sidewall layers in the 1st example 3rd example 4th example or 5th example It is  $x > y / \tan \theta$  when the angle of the side edge P in the part which touches the silicon substrate of  $y$  and the epitaxial growth layer 8 in the perpendicular direction distance of the gap 10a of the 2nd sidewall-layers end 5a and a silicon substrate is set to  $\theta$ ... Except filling (1) it is the same as that of each example. Length  $x$  is a size from the end 2a of the gate dielectric film 2 to a 2nd sidewall-layers 5 periphery edge here.

[0048]However drawing 10 (a) supports the 1st example and a part of 1st sidewall layers 4 4a have the same thickness as the other portions of the sidewall layers 4. That with which the gap 10a of the 2nd sidewall-layers end 5a and silicon substrate which were etched by DHF under the 2nd sidewall layers 5 was filled by solid phase epitaxial growth of a-Si

layer (it becomes the crystal Si layer 8 by heat treatment) is shown. Although the gap 10a of the 2nd sidewall-layers end 5a and silicon substrate which were etched by DHF under the 2nd sidewall layers 5 corresponding to the 2nd example is filled with drawing 10 (b) with vapor phase epitaxial growth it shows what has left the opening 10b. [0049] Drawing 10 (c) supports the 3rd example and it is etched by DHF under the 2nd sidewall layers 5 so that a part of 1st sidewall layers 4 4b may remain in the state thicker than the other parts of the sidewall layers 4. The gap 10a of the 2nd sidewall-layers end 5a and a silicon substrate is full by solid phase epitaxial growth of a-Si layer (heat treatment crystal Si layer : 8) and drawing 10 (a) shows the example from which length (x) with which it is filled differs.

[0050] Corresponding to the 4th example as for drawing 10 (d) thickness is made thinner than the other portions of the sidewall layers 4 a part of 1st sidewall layers 4 4c Although the field etched by DHF under the 2nd sidewall layers 5 is full by solid phase epitaxial growth of a-Si layer drawing 10 (a) and (c) shows the example from which length (x) with which it is filled differs. That is in order to enlarge length x over-etching of the bottom portion surrounded by a substrate the 1st sidewall layers and the 2nd sidewall layers is carried out rather than gap 10a distance. The thickness (it is a vertical distance to a substrate face) of the EREBETEDDO field filled by this bottom portion becomes larger than the clearance 10a.

[0051] Corresponding to the 5th example as for drawing 10 (e) thickness is made thinner than the other portions of the sidewall layers 4 a part of 1st sidewall layers 4 4c Although the field etched by DHF under the 2nd sidewall layers 5 is full with vapor phase epitaxial growth drawing 10 (a) and (c) is an example from which length (x) with which it is filled differs and the angle theta differs and the opening 10b also exists.

[0052] By the way in drawing 10 xy and theta are as having been shown in the figure respectively. Here theta is a case of vapor phase epitaxial growth and solid phase epitaxial growth In all  $0 < \theta < \pi$  ... (2)  
 theta [ in / it is an angle of \*\*\*\*\* and / especially / solid phase epitaxial growth ] is  $\pi/2 < \theta < \pi$  ... (3)

It may become and is  $\tan \theta < 0$  in this case... (4)

It comes out.

[0053] In drawing 10 the same numerals as drawing 1 thru/or drawing 6 express the same thing.

(The 7th example) Although the 7th example shown in drawing 11 is manufactured by the same manufacturing process as the 1st example - the 6th example said epitaxial growth layer (EREBETEDDO field) 8 has run

aground to the 11th page of isolation region up (drawing 11 (a)). this invention person acquired the knowledge that it could be made to run aground enough to up to isolation when the boundary of the isolation region 11 and the active region 1a was leaned from the  $\langle 110 \rangle$  directions like usual by the experiment before this invention and it turned in the  $\langle 100 \rangle$  directions especially. The transverse direction was able to be made to carry out solid phase growth of the 150-nm - about 200-nm and isolation region 11 top forming  $\{110\}$  facet surfaces by performing RTA (680 \*\* - 700 \*\*) (rapid thermal anneal) for 100-nm a-Si layer about 60 seconds.

[0054] When the angle with the facet surface P1 of t and a growth film i.e. the EREBETEDDO field side and a silicon substrate surface to accomplish is set to  $\phi$  and a-Si thickness is set to s for a lateral epitaxial amount of growth it is  $t > s / \tan \phi$  desirably... (5)

It comes out and a certain direction is good (drawing 11 (b)). In the case of this example  $\{100\}$  boards are used and the thickness of a-Si layer is 100 nm. Since the facet surfaces are  $\{110\}$  sides if not less than 100 nm of isolation region tops are grown epitaxially into a transverse direction the epitaxial thickness on the boundary of an isolation region the source region or a drain area can control leak near the STI of a silicide reason. This condition is fulfilled in this example. In drawing 11 drawing 1 and the same numerals as 2 express the same thing.

(The 8th example) The 8th example is manufactured by the same manufacturing process as the 1st example - the 7th example as shown in drawing 12 but the diffusion region 12 is formed for diffusion-zone formation into [ after forming the epitaxial growth layer 8 ] a silicon substrate by solid phase diffusion. When the EREBETEDDO field contains the impurity by annealing solid phase diffusion of the impurity can be carried out into the silicon substrate and the diffusion region 12 can be formed. While especially an EREBETEDDO field passes the gas containing an impurity when it is formed by forming membranes and growing an amorphous silicon epitaxially since the impurity is included more than the solid-solution limit it is effective. When the distance (Yj of drawing 12 (a)) from a gate terminal to an epitaxial end sets to 20 nm or less in this example. Annealing by carrying out about 10 seconds 800 \*\* for example with a RTA (rapid thermal anneal) device The impurity concentration of a gate terminal can form the diffusion zone for which the diffusion-zone depth also inhibits Yj low resistance shallow to the same extent and a short channel effect by one  $E18$  ( $/\text{cm}^3$ ) grade. It shall contain also when the process that the ion implantation of the impurity is carried out before and after epitaxial growth if needed after

sidewall-layers formation is added. Also in drawing 12 the same numerals show drawing 1 and the same thing as 2 and 11 of drawing 12 is an isolation region.

(The 9th example) In drawing 13 the 9th example forms the diffusion zone 14 by an ion implantation. First the extension region 13 is formed after processing the gate electrode 3 by introducing an impurity into a silicon substrate and annealing it with ion implantation equipment over gate dielectric film (drawing 13 (a)). Next the sidewall layers 5 and the EREBETEDDO source / drain area 8 are formed like the 1st example - the 8th example. The Deep diffusion region 14 is formed by introducing and annealing an impurity also to the deep field in the silicon substrate 1 rather than the extension region 13 by an ion implantation (drawing 13 (b)). Thus as for the formed diffusion zone the short channel effect is inhibited by low resistance. Also in this drawing 13 the same numerals show drawing 1 and the same thing as 2 and the numerals 11 of drawing 13 show an isolation region.

(The 10th example) The 10th example has low-resistance-ized the diffusion zone by carrying out at least a part of EREBETEDDO field 8 silicide formation 15 so that drawing 14 may explain. The EREBETEDDO field 8 is first formed by epitaxial growth like the 1st example - the 9th example (drawing 14 (a)). Next silicide formation of a part of EREBETEDDO field 8 is carried out by the Salicide process. When poly silicon is especially growing also on a gate electrode the gate electrode surface is also carried out silicide formation 15 and a gate is also low-resistance-ized (drawing 14 (b)). Also in this drawing 14 drawing 1 and the same numerals as 2 express the same thing.

(The 11th example) The 11th example is the same as the 10th example so that drawing 15 may explain but some sidewall layers 5 exist on the isolation region 11. The sidewall layers 5 are formed at a drawing 1 (a) - (f) process like Example 1. Thickness of sidewall layers is made large the sidewall-layers edge 5a covers the active region 1a top of a substrate to eaves shape and it reaches up to isolation region 11 end or is made more than it. Etching (drawing 15 (a)) of a silicon area of exposed oxide and epitaxial growth 8 are performed like Example 1 - Example 6 (drawing 15 (b)). Also in this drawing 15 drawing 1 and the same numerals as 2 express the same thing.

(The 12th example) The 12th example is carrying out said at least a part of epitaxial field silicide formation 15 only in the vertical upper part of the isolation region 11 after epitaxial growth so that drawing 16 may explain. After growing epitaxially like drawing 15 (b) the silicide film is formed in self align. Also in this drawing 16 drawing 1 and the same

numerals as 2 express the same thing.

(The 13th example) The 13th example is shown in drawing 17. This example is carrying out the field 8 silicide formation 15 after carrying out etching removal of the 2nd sidewall layers 5 on EREBETEDDO sauce / drain area 8 after forming EREBETEDDO sauce / drain area 8 (drawing 17 (a)) (drawing 17 (b)) (drawing 17 (c)). When the silicide film which is a low resistance film exists to the sidewall-layers field on the extension region near the channelsauce/drain is low-resistance-ized. An impurity may be introduced by the ion implantation and gaseous phase diffusion of low acceleration after etching the 2nd sidewall layers to an extension region if needed. Although drawing 17 (a) showed the case where the epitaxial growth suppression layers 17 such as a silicon nitride film ( $\text{Si}_3\text{N}_4$ ) were on a gate this layer 17 is not necessarily required for it. After the anisotropic etching using heat phosphoric acid or plasma removes a silicon nitride film ( $\text{Si}_3\text{N}_4$ ) layer (5 and 17) like drawing 19 (b) the silicide layer 15 is formed. Also in this Example 15 drawing 1 and the same thing as 2 express with the same numerals.

(The 14th example) The 14th example is the same as the 13th example so that (c) may explain from drawing 18 (a) but. After forming EREBETEDDO sauce / drain area 8 silicide formation 15 is taken and the 2nd sidewall layers 5 on EREBETEDDO sauce / drain area 8 are etched. An impurity may be introduced by the ion implantation and gaseous phase diffusion of low acceleration after etching the 2nd sidewall layers 5 to an extension region if needed. Parasitic capacitance with a gate the EREBETEDDO source region or an EREBETEDDO drain area can be reduced by etching the 2nd comparatively high sidewall layers of a dielectric constant. A process top margin can be given to the silicide formation on a wedge by carrying out silicide formation of the silicide film in an extension region and the field which keep away from a junction area with the substrate especially and where EREBETEDDO thickness is thick.

(The 15th example) The 15th example is manufactured like the 1st example - the 14th example so that drawing 19 may explain. This example differs [ shape / of EREBETEDDO sauce / drain area ] in nMOS and pMOS. First nMOS and pMOS are formed in the silicon substrate 1 which has the isolation 11 like drawing 19 (a) to the sidewall layers 5 and one side is covered with the mask 20 like drawing 19 (b). In this example a silicon nitride film is also used as a mask material and the case where the mask of the pMOS field is carried out is explained. Next it etches by the method which described above the EREBETEDDO sauce / drain area of nMOS and 8 n of epitaxial growth layers are formed (drawing 19 (c)). Next a nMOS field is oxidized and after depositing and carrying out the mask of the silicon

nitride film 21a pMOS field with the EREBETEDDO sauce / drain area 8p of pMOS is formed (drawing 19 (d)). The oxide film of a nMOS field is removed (drawing 19 (e)). The etching quantity of the oxide film on the silicon substrate sauce / drain area which serves as a seed part of epitaxial growth when forming nMOS and pMOS. Transmission delay time of CMOS can be shortened compared with the case where should differ the metal on epitaxial thickness and EREBETEDDO sauce / drain or the kind of metal silicide by nMOS and pMOS and nMOS and pMOS are made into identical shape. Although this example showed the case where it formed previously from nMOS it shall contain also when forming previously from pMOS.

(The 16th example) The 16th example is shown in drawing 20. It is manufactured like the 1st example - the 15th example. In this example the gate of an MIS type transistor is created after forming EREBETEDDO sauce / drain area 8 by the DAMASHIN gate process of embedding an etching removal rear gate for a dummy gate electrode field suitably.

Hereafter when the cap of the silicon nitride film ( $\text{Si}_3\text{N}_4$ ) 17 exists on a gate electrode it explains. In [ carry out like drawing 1 (a) of the 1st example - drawing 2 (j) and ] the process of drawing 1 (a) of the 1st example after creating EREBETEDDO sauce / drain area 8 it leaves 17 ( $\text{Si}_3\text{N}_4$ ) on the gate electrode 3 of polycrystalline silicon as a cap. Etching removal of the amorphous silicon formed on a cap at the drawing 2 (h) process is carried out (drawing 20 (a)). Silicide formation of the part is carried out it is considered as the silicide layer 15 (drawing 20 (b)) and flattening is carried out after depositing the interlayer insulation film 18 to the silicon nitride film upper surface on the gate electrode 3 which is a mask in CMP (chemical mechanical polishing) etc. (drawing 20 (c)).

[0055] Next after heat phosphating removes the silicon nitride film 17 CDE (chemical dry etching) removes the gate electrode 3 (polycrystalline silicon) (drawing 20 (d)). Rare fluoric acid (DHF) removes gate dielectric film ( $\text{SiO}_2$ ) and the 1st sidewall layers (liner layer \*\*\*\*) 4 (drawing 20 (e)) and said silicon substrate is exposed. Next when there are Si substrate regions and an EREBETEDDO field the gate dielectric film 19 is formed by oxidizing also including the field or making an insulator layer for example tantalum oxide and oxidation hafnium deposit (drawing 20 (f)). Volume phases such as a nitrated case may be formed depending on the case. If a gate material is used as metal tungsten after making titanium nitride form as the reaction preventing film 20 tungsten will be formed in a part for a slot and the gate tungsten electrode 3a will be embedded by carrying out flattening by CMP etc. in a slot (drawing 20 (g)).

[0056] In the example described above the usual transistor formation process is followed after that. That is after making an interlayer insulation film deposit on the whole surface and patterning a gate contact hole a contact hole is formed by anisotropic etching. After forming titanium nitride as a reaction inhibiting layer the aluminum used as a gate wire is formed. A gate wire is transferred to resist by patterning and a gate wire is completed by removing aluminum by etching. According to the 16th example that shows the manufacturing method of the DAMASHIN gate transistors mentioned above after not less than about 700 °C high-temperature-heat processes such as pouring of source drain ion and annealing and Si epitaxial growth are completed gate dielectric film can be formed. A not less than 500 °C high temperature process is not needed any longer after the formation process of this gate dielectric film. Therefore the good characteristic can be obtained by a high temperature process using high dielectric films such as TiO<sub>2</sub> to which change of physical properties takes place Ta<sub>2</sub>O<sub>5</sub> and BST as gate dielectric film.

[0057] It is not limited to the above-mentioned example and in the range which does not deviate from the gist of this invention this invention is carried out variously. It can change and can be carried out. For example etchback can also be formed although CMP is used for flattening of the interlayer film and the gate material in the 16th example. About a gate portion a gate electrode may be formed by patterning and etching without performing flattening by CMP. Not only tungsten but other metals such as aluminum and copper are possible for a gate electrode. As a reaction preventing film tungsten nitride and tantalum nitride may be sufficient besides titanium nitride. In the case of the polycrystalline silicon in which the electrode itself included not metal but a reaction preventing film is not needed. Gate dielectric film should just be an insulator layer not only with tantalum oxide but a high dielectric constant. When a dummy gate is removed local threshold adjustment can also be performed by carrying out an ion implantation over gate dielectric film (buffer oxide film).

[0058] In addition in the range which does not deviate from the gist of this invention it changes variously and can carry out.

[0059]

[Effect of the Invention] As explained above according to a semiconductor device which has the EREBETEDDO source / drain structure of this invention and a manufacturing method for the same a semiconductor device with short transmission delay time which generating of a short channel effect and junction leakage current is controlled and has a low resistance diffusion zone is realizable. According to a semiconductor

device with which the DAMASHIN gate transistors which have the EREBETEDDO sauce / drain structure of this invention are formed and a manufacturing method for the same leak between a gate sauce or a drain can be controlled and the controllability of the gate to a channel can realize a good element.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] this invention -- the -- one -- an example -- explaining -- a sake -- a figure -- a multilayer -- sidewall layers -- and -- a silicon substrate -- gate dielectric film -- an interface -- vertical -- the upper part -- having been raised -- EREBETEDDO -- sauce -- / -- a drain area -- having -- MIS -- type -- a transistor -- a manufacturing method -- a process -- (-- a --) - (-- f --) -- being shown -- a process -- a sectional view .

[Drawing 2] this invention -- the -- one -- an example -- explaining -- a sake -- a figure -- a multilayer -- sidewall layers -- and -- a silicon substrate -- gate dielectric film -- an interface -- vertical -- the upper part -- having been raised -- EREBETEDDO -- sauce -- / -- a drain area -- having -- MIS -- type -- a transistor -- a manufacturing method -- a process -- (-- g --) - (-- j --) -- being shown -- a process -- a sectional view .

[Drawing 3] The process sectional view showing process [ of the manufacturing method of a transistor ] (a) - (d) in which the EREBETEDDO sauce / drain area raised in the vertical upper part were formed with the figure for explaining the modification of the 1st example of this invention using solid phase epitaxial growth from the silicon substrate and the gate-dielectric-film interface.

[Drawing 4] The process sectional view showing process [ of the manufacturing method of a transistor ] (e) - (h) in which the EREBETEDDO sauce / drain area raised in the vertical upper part were formed with the figure for explaining the modification of the 1st example of this invention using solid phase epitaxial growth from the silicon substrate and the gate-dielectric-film interface.

[Drawing 5] The sectional view showing modification (i)-(l) by the manufacturing method of the transistor in which the EREBETEDDO sauce / drain area raised in the vertical upper part were formed with the figure for explaining the modification of the 1st example that is this invention using solid phase epitaxial growth from the silicon substrate



and the gate-dielectric-film interface.

[Drawing 6]The process sectional view showing the manufacturing method of the transistor in which the EREBETEDDO sauce / drain area raised in the vertical upper part were formed with the figure for describing Example 2 of this invention using vapor phase epitaxial growth from the silicon substrate and the gate-dielectric-film interface.

[Drawing 7]The process sectional view showing the manufacturing method of the transistor in which the EREBETEDDO sauce / drain area raised in the vertical upper part were formed with the figure for describing Example 3 of this invention using solid phase epitaxial growth from the silicon substrate and the gate-dielectric-film interface.

[Drawing 8]The process sectional view showing the manufacturing method of the transistor in which another EREBETEDDO sauce / drain area raised in the vertical upper part were formed with the figure for describing Example 4 of this invention using solid phase epitaxial growth from the silicon substrate and the gate-dielectric-film interface.

[Drawing 9]The process sectional view showing the manufacturing method of the transistor in which the EREBETEDDO sauce / drain area raised in the vertical upper part were formed with the figure for describing Example 5 of this invention using vapor phase epitaxial growth from the silicon substrate and the gate-dielectric-film interface.

[Drawing 10]The figure for describing Example 6 of this invention.

[Drawing 11]The figure showing that it is the element which carried out transverse direction epitaxial growth of the isolation region top and its quantity  $t$  which carried out transverse direction epitaxial growththe angle  $\phi$  of a facetand the thickness  $s$  of the epitaxial layer on isolation and an active region boundary with the figure for describing Example 7 of this invention.

[Drawing 12]The figure showing the distance  $Y_j$  and the diffusion-zone depth from a gate terminal to an etching end with the figure for describing Example 8 of this invention.

[Drawing 13]The figure showing each diffusion layer region of an extension region and a DEPU field with the figure for describing Example 9 of this invention.

[Drawing 14]The process sectional view showing the manufacturing method of the MIS type transistor containing silicide in the source region or a drain area with the figure for describing Example 10 of this invention.

[Drawing 15]The process sectional view showing the manufacturing method of the MIS type transistor which a part of sidewall exists on an isolation regionand has EREBETEDDO sauce / drain area with the figure for describing Example 11 of this invention.

[Drawing 16] The process sectional view showing the manufacturing method of the MIS type transistor which has the EREBETEDDO sauce / drain area where a part of sidewall existed on the isolation region and silicide formation was carried out in part with the figure for describing Example 12 of this invention.

[Drawing 17] The process sectional view showing that the 2nd sidewall layers are etched with the figure for describing Example 13 of this invention.

[Drawing 18] The process sectional view showing that the 2nd sidewall layers are etched with the figure for describing Example 14 of this invention.

[Drawing 19] The process sectional view in which EREBETEDDO sauce / drain shape forms a CMOS transistor which is different by nMOS and pMOS with the figure for describing Example 15 of this invention.

[Drawing 20] The process sectional view showing the manufacturing method of the MIS type transistor which has EREBETEDDO sauce / drain formation process and a DAMASHIN process with the figure for describing Example 16 of this invention.

[Description of Notations]

- 1: Semiconductor substrate
  - 2: Gate dielectric film
  - 3: Gate electrode
  - 4: The 1st sidewall layers
  - 5: The 2nd sidewall layers
  - 8: The source region/drain area
  - 10a: Gap
  - 10b: Opening
  - 11: Isolation region
-

| (51)Int.Cl. <sup>7</sup> | 識別記号 | F I           | テマコード（参考） |           |
|--------------------------|------|---------------|-----------|-----------|
| H 0 1 L 29/78            |      | H 0 1 L 21/20 | 5 F 0 4 8 |           |
| 21/20                    |      | 29/78         | 3 0 1 S   | 5 F 0 5 2 |
| 21/8238                  |      | 27/08         | 3 2 1 E   | 5 F 1 4 0 |
| 27/092                   |      |               |           |           |

審査請求 未請求 請求項の数12 O L （全 16 頁）

|             |                             |         |   |
|-------------|-----------------------------|---------|---|
| (21)出願番号    | 特願2001-362704(P2001-362704) | (71)出願人 | 000003078<br>株式会社東芝<br>東京都港区芝浦一丁目1番1号       |
| (22)出願日     | 平成13年11月28日(2001. 11. 28)   | (72)発明者 | 鎌田 善己<br>神奈川県横浜市磯子区新杉田町8番地 株<br>式会社東芝横浜事業所内 |
| (31)優先権主張番号 | 特願2000-361455(P2000-361455) | (72)発明者 | 西山 彰<br>神奈川県横浜市磯子区新杉田町8番地 株<br>式会社東芝横浜事業所内  |
| (32)優先日     | 平成12年11月28日(2000. 11. 28)   | (74)代理人 | 100081732<br>弁理士 大胡 典夫 （外2名）                |
| (33)優先権主張国  | 日本（J P）                     |         |   |

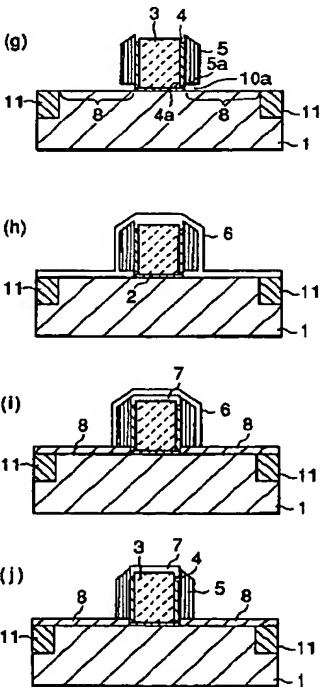
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 短チャネル効果および接合リーク電流の発生が抑制され、かつ低抵抗な拡散層を有する伝達遅延時間の短い、半導体装置を実現する。

【解決手段】 基板1から突出したゲート電極3の側壁に複数の膜の積層した構造即ち複数の側壁層構造4、5を配設し、基板1から側壁層5が離間して生じる間隙10aにエレベーターソース/ドレイン領域8の少なくとも一部の領域が充たされる構造とする。



## 【特許請求の範囲】

【請求項1】 シリコン基板と、

前記シリコン基板表面に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられたゲート電極と、  
前記ゲート電極の側面に設けられ、前記シリコン基板表面に達する第1側壁層と、  
前記シリコン基板表面にシリコンをエピタキシャル成長したエレベータッド領域と、  
前記ゲート電極の側壁層に前記第1側壁層を介して設けられ、かつ前記シリコン基板表面とは前記エレベータッド領域によって離間しており、かつ前記第1側壁層とは異なる材料よりなる第2側壁層と、  
前記シリコン基板中に設けられ、前記エレベータッド領域に接しており、前記エレベータッド領域と同じ導電型を有するソース領域およびドレイン領域とを備えることを特徴とする半導体装置。

【請求項2】 請求項1の半導体装置において、前記シリコン基板から離間した前記第2側壁層と前記シリコン基板との間には前記エレベータッド領域で充されていることを特徴とする半導体装置。

【請求項3】 請求項1の半導体装置において、前記第1側壁層と前記エレベータッド領域の間に空隙が形成されていることを特徴とする半導体装置。

【請求項4】 請求項1の半導体装置において、前記エレベータッド領域の側端面とシリコン基板表面の成す角度を $\theta$ 、前記ゲート絶縁膜端と前記第2側壁層外周縁間の寸法を $x$ 、前記基板と前記第2側壁層との間隙の垂直方向の寸法を $y$ とした場合、 $x > y/\tan \theta$ の条件を満たすことを特徴とする半導体装置。

【請求項5】 請求項1の半導体装置において、前記シリコン基板が素子分離領域を有し、前記エレベータッド領域の少なくとも一部が素子分離領域上に延在することを特徴とする半導体装置。

【請求項6】 請求項5の半導体装置において、前記エレベータッド領域が素子分離領域上を横方向にエピタキシャル成長した距離を $t$ 、その膜厚を $s$ 、前記素子分離領域上の前記エレベータッド領域の側面と前記シリコン基板表面との成す角を $\phi$ とした場合に、 $t > s/\tan \phi$ を満たすことを特徴とする半導体装置。

【請求項7】 シリコン基板上にゲート絶縁膜を形成する工程と、  
このゲート絶縁膜上にゲート電極を形成する工程と、  
前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜上に該第1の絶縁膜と異なる材料よりなる第2の絶縁膜を形成する工程と、  
前記第1の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第2の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第1の絶縁膜を介

して前記第2の絶縁膜を選択的に残置させる工程と、  
前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去し、前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出する工程と、  
この露出したシリコン基板表面にシリコンのエピタキシャル成長を行ってエレベータッド領域を形成する工程と、  
前記エレベータッド領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】 シリコン基板上にゲート絶縁膜を形成する工程と、  
このゲート絶縁膜上にゲート電極を形成する工程と、  
前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜上に該第1の絶縁膜と異なる材料よりなる第2の絶縁膜を形成する工程と、  
前記第1の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第2の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、  
前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去し、前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出する工程と、  
この露出したシリコン基板表面にIII族またはV族の導電型不純物を含むガスを流しながらシリコンのエピタキシャル成長を行ってエレベータッド領域を形成する工程と、  
前記エレベータッド領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項9】 シリコン基板上にゲート絶縁膜を形成する工程と、  
このゲート絶縁膜上にゲート電極を形成する工程と、  
前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜上に該第1の絶縁膜と異なる材料よりなる第2の絶縁膜を形成する工程と、  
前記第1の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第2の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、  
前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去し、前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出する工程と、

この露出したシリコン基板表面にシリコンのエピタキシャル成長を行ってエレベータッド領域を形成する工程と、  
前記エレベータッド領域にイオン注入によって導電型不純物を導入しアニールを行うことによって拡散層を形成する工程と、  
前記エレベータッド領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 10】 シリコン基板上にゲート絶縁膜を形成する工程と、  
このゲート絶縁膜上にゲート電極を形成する工程と、  
前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第 1 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜上に該第 1 の絶縁膜と異なる材料よりなる第 2 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第 2 の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第 1 の絶縁膜を介して前記第 2 の絶縁膜を選択的に残置させる工程と、  
前記シリコン基板中に不純物をイオン注入によって導入した後にアニールを行うことによって前記シリコン基板中にソース拡散層およびドレイン拡散層を形成する工程と、  
前記第 2 の絶縁膜で覆われていない領域の前記第 1 の絶縁膜をエッチングすることによって除去し、前記第 1 および第 2 の絶縁膜周囲の前記シリコン基板の表面を露出する工程と、  
この露出したシリコン基板表面に III 族または V 族の導電型不純物を含むガスを流しながらシリコンのエピタキシャル成長を行ってエレベータッド領域を形成する工程と、  
前記エレベータッド領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 11】 シリコン基板上にゲート絶縁膜を形成する工程と、  
このゲート絶縁膜上にゲート電極を形成する工程と、  
前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第 1 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜上に該第 1 の絶縁膜と異なる材料よりなる第 2 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第 2 の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第 1 の絶縁膜を介して前記第 2 の絶縁膜を選択的に残置させる工程と、  
前記第 2 の絶縁膜で覆われていない領域の前記第 1 の絶縁膜をエッチングすることによって除去し、前記第 1 および第 2 の絶縁膜周囲の前記シリコン基板の表面を露出

する工程と、  
この露出したシリコン基板表面に III 族または V 族の導電型不純物を含むガスを流しながらシリコンのエピタキシャル成長を行ってエレベータッド領域を形成する工程と、  
前記シリコン基板中に不純物をイオン注入によって導入した後にアニールを行うことによって前記シリコン基板中にソース拡散層およびドレイン拡散層を形成する工程と、  
前記エレベータッド領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 12】 シリコン基板に素子分離領域を形成する工程と、  
シリコン基板上にゲート絶縁膜を形成する工程と、  
このゲート絶縁膜上にゲート電極を形成する工程と、  
前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第 1 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜上に該第 1 の絶縁膜と異なる材料よりなる第 2 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第 2 の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第 1 の絶縁膜を介して前記第 2 の絶縁膜を選択的に残置させる工程と、  
前記第 2 の絶縁膜で覆われていない領域の前記第 1 の絶縁膜をエッチングすることによって除去し、前記第 1 および第 2 の絶縁膜周囲の前記素子分離領域を含む前記シリコン基板の表面を露出する工程と、  
この露出したシリコン基板表面に前記素子分離領域上まで延在するようにシリコンのエピタキシャル成長を行ってエレベータッド領域を形成する工程と、  
前記エレベータッド領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及び半導体装置の製造方法に関し、特にエレベータッドソース／ドレイン構造を有する MIS 型の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を半導体基板上に集積した集積回路が広く用いられている。しかし、素子の高集積化に伴い、設計ルールも年々縮小してきている。そして、MIS 型の集積回路においては、ゲート長の縮小に伴う短チャネル効果を抑制するため、拡散層深さを浅くすることが要求されている。また同時に、拡散層深さが浅くなることによる抵抗の増大を防ぐ必要があ

る。拡散層深さを浅く、且つ拡散層抵抗を低く保つ方法として、ソース／ドレイン領域のみシリコンを持ち上げた構造即ちエレベータッドソース／ドレイン構造と、シリコンと金属との化合物であるシリサイドが自己整合的に形成されたシリサイドとを組み合わせる手法が有効であるとされている (T. Yoshitomi, et al. 1995 Symposium on VLSI Technology Digest of Technical Papers p.11)。

【0003】このエレベータッドソース／ドレイン構造の形成自体は、気相エピタキシャル成長、固相エピタキシャル成長によるものを含めてこれまでもいくつかの方法で試みられている。しかし、エピタキシャル成長の場合、ゲート酸化膜近傍や素子分離近傍でエピタキシャル成長中にファセットを生じてしまい、これら近傍におけるエピタキシャル成長膜厚を十分には厚くできず、特にゲート近傍のエピタキシャル成長膜厚の低下により、続くイオン注入工程時に不純物が基板深くまで注入されてしまい短チャネル効果を生じてしまう。さらに続くシリサイド工程の際、pn接合からの距離が短くなってしまい接合リークを生じてしまう。このシリサイド起因のリークを抑制するためにシリサイド工程の前に、エレベータッドソース／ドレイン領域の上に新たにサイドウォールを形成する工程が必要となり、工程数が増大することなどの問題があった。また、素子の微細化が進むにつれゲート電極-ソース領域間、またはゲート電極-ドレイン領域間の距離が近づくことになり、電氣的にショートしてしまうことも問題もある。

【0004】

【発明が解決しようとする課題】上記従来の問題から、エレベータッドソース／ドレイン構造を有する半導体装置において、リークやショートが抑制された、浅く低抵抗な拡散層を有する半導体装置や製造方法が要求されていた。

【0005】

【課題を解決するための手段】本発明の第1の態様は、シリコン基板と、前記シリコン基板表面に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極の側面に設けられ、前記シリコン基板表面に達する第1側壁層と、前記シリコン基板表面にシリコンをエピタキシャル成長したエレベータッド領域と、前記ゲート電極の側壁層に前記第1側壁層を介して設けられ、かつ前記シリコン基板表面とは前記エレベータッド領域によって離間しており、かつ前記第1側壁層とは異なる材料よりなる第2側壁層と、前記シリコン基板中に設けられ、前記エレベータッド領域に接しており、前記エレベータッド領域と同じ導電型を有するソース領域およびドレイン領域とを備えることを特徴とする半導体装置にある。

【0006】トランジスタや抵抗などのMIS型素子のゲート電極側面に、シリコン基板面方向に積層された複

数層からなる側壁層構造とし、ゲートとソースまたはドレイン間のトンネル現象起因のリーク電流を抑制したものである。

【0007】複数の側壁層をゲート電極に近い側を第1側壁層、ゲート電極に遠い側を第2側壁層とした場合、第2側壁層端とシリコン基板面とで間隙を形成し、この間隙で挟まれた部分の第1側壁層と同等の物質をなくすようにして、エレベータッドソース／ドレイン領域を配置することによってこれらの領域とチャネルとの距離を近くする。これにより上記領域下の基板の拡散層とチャネルのゲートエッジ下までの距離が近く、拡散層形成時の不純物の拡散距離を抑えることが出来、拡散層深さも抑制できることから短チャネル効果を抑制できる。

【0008】第1の態様において、エピタキシャル成長時のファセットの発生を抑制するように構成し、第2側壁層とシリコン基板との間にエレベータッド領域で充たされるようにすれば、短チャネル効果とリークを抑制することができる。通常、エピタキシャル成長時にはファセットと呼ばれるある特定の面指数を持った結晶面が形成され、その面方向のエピタキシャル成長が抑制されてしまう。特に固相エピタキシャル成長の場合、{110}面は{100}面よりも約2倍程エピタキシャル成長速度が遅く、{111}面は{100}面より約20倍程エピタキシャル成長速度が遅い。通常{100}面を持つシリコン基板を用いるが、エピタキシャル成長面は{100}面だけでなく{110}面、{111}面などの成長速度の遅い面を形成する傾向にある。同様に気相エピタキシャル成長の場合{311}面を形成してしまう傾向がある。DHF処理が十分でない場合、エピタキシャル成長膜はゲート絶縁膜を起因として、ファセットを生じてしまう。

【0009】これは絶縁膜上に堆積されたアモルファスシリコン（以下、a-Siと略記する）は、弱いとはいえ絶縁膜を構成する原子と結合して、その結合エネルギーの差を反映しているものと考えられる。本発明者の実験によりファセットは、シリコン窒化膜近傍よりシリコン酸化膜近傍において発生しやすいことが判明した。そのためゲート絶縁膜が酸化膜の場合、酸化膜を起因としてファセットを形成するがシリコン窒化膜のサイドウォールの下にエピタキシャル成長面が接する条件下では、シリコン窒化膜でファセットを形成することなくサイドウォール上をエピタキシャル成長させることができる。固相エピタキシャル成長の場合、アモルファスシリコンは空隙なく前記エッチング領域を充填し、続く固相エピタキシャル成長によって成長初期にはファセットを形成してしまうが、遅いとはいえファセット面においても成長していくため、十分に固相エピタキシャル成長させることによって前記エッチング領域に充填されたアモルファスシリコンは全て結晶化する。

【0010】また、この発明でエレベータッド領域が前記第2側壁層側面を接するまでエピタキシャル成長させ

て、前記第2側壁層近傍のエピタキシャル膜厚を十分厚くすれば、前記シリサイド膜をpn接合から十分離すことができるため、前記シリサイド膜起因のリークを抑制できる。

【0011】また、この発明で、ファセットが起因した場合においても、第1側壁層と前記エレベータード領域の間に空隙が形成されるように構成すれば、空隙はゲート電極とエレベータードソース／ドレイン間を隔離し、空隙が低誘電率であるため、寄生容量を低減することができる。

【0012】また、基板と第1側壁層及び第2側壁層とで囲まれた部分のエレベータード領域の基板上の膜厚が、基板と第2側壁層との離間距離よりも大きくすることが好ましい。また、エレベータード領域の側端面とシリコン基板表面の成す角度を $\theta$ 、ゲート絶縁膜端と第2側壁層外周縁間の寸法を $x$ 、基板と第2側壁層との間隙の垂直方向の寸法を $y$ とした場合、 $x > y / \tan \theta$ の条件を満たすことが望ましい。

【0013】また、エレベータード領域が導電性不純物を固溶限以上に含むことが望ましい。

【0014】さらに、本発明をシリコン基板が素子分離領域を有し、エレベータード領域の少なくとも一部が素子分離領域上に延在する構成に適用することができる。

【0015】また、前記延在構成において、エレベータード領域が素子分離領域上を横方向にエピタキシャル成長した距離を $t$ 、その膜厚を $s$ 、素子分離領域上の前記エレベータード領域の側面と前記シリコン基板表面との成す角を $\phi$ とした場合に、 $t > s / \tan \phi$ を満たすことが望ましい。

【0016】また、第2側壁層の周縁が素子分離領域上方に離間して存在し、第2側壁層と前記素子分離領域との間にはシリコン基板のソース領域またはドレイン領域を種部としてエピタキシャル成長したエレベータード領域が存在することが望ましい。

【0017】また、ソース領域またはドレイン領域が金属あるいは高融点金属のシリサイド膜を含むことが望ましい。

【0018】また、延在構成において、素子分離領域上のエレベータード領域のみに金属あるいは高融点金属のシリサイド膜が存在することが望ましい。

【0019】また、ゲート電極を金属とすることができ。

【0020】本発明のもう一つの態様は、ゲート電極とエレベータードソース／ドレイン領域の間の少なくとも一部の領域が、適当な順序からなる複数の膜の積層した構造即ち複数の側壁層構造にするために以下の方法を採用したものである。

【0021】即ち、シリコン基板上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート絶縁膜および前記ゲート電極の

上面および側壁層を覆うように、前記基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に該第1の絶縁膜と異なる材料よりなる第2の絶縁膜を形成する工程と、前記第1の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第2の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去し、前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出する工程と、この露出したシリコン基板表面にシリコンのエピタキシャル成長を行ってエレベータード領域を形成する工程と、前記エレベータード領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたものである。

【0022】この態様の一部を代え、例えば、導電型不純物を含むガスをエピタキシャル成長時に同時に流すことによってエピタキシャル膜に導電型不純物を含ませることができ、イオン注入やサイドウォール除去工程を省くことができ、工程を簡略化できる。

【0023】この導電型不純物を含むガスとして、III族またはV族の導電型不純物を含むガスを用いることができる。

【0024】さらに、エレベータード領域にイオン注入によって導電型不純物を導入しアニールを行うことによって拡散層を形成する工程を付加することができる。

【0025】本発明の他の態様は、シリコン基板上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に該第1の絶縁膜と異なる材料よりなる第2の絶縁膜を形成する工程と、前記第1の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第2の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、前記シリコン基板中に不純物をイオン注入によって導入した後にアニールを行うことによって前記シリコン基板中にソース拡散層およびドレイン拡散層を形成する工程と、前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去し、前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出する工程と、この露出したシリコン基板表面にIII族またはV族の導電型不純物を含むガスを流しながらシリコンのエピタキシャル成長を行ってエレベータード領域を形成する工程と、前記エレベータード領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法を得るものである。

【0026】さらに、他の態様は、シリコン基板上にゲ



ート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に該第1の絶縁膜と異なる材料よりなる第2の絶縁膜を形成する工程と、前記第1の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第2の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去し、前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出する工程と、この露出したシリコン基板表面にIII族またはV族の導電型不純物を含むガスを流しながらシリコンのエピタキシャル成長を行ってエレベータッド領域を形成する工程と、前記シリコン基板中に不純物をイオン注入によって導入した後にアニールを行うことによって前記シリコン基板中にソース拡散層およびドレイン拡散層を形成する工程と、前記エレベータッド領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法を得るものである。

【0027】さらに、第2の絶縁膜下のシリコン基板との間の領域の第1の絶縁膜が、エッチングによって完全に除去されていることが望ましい。

【0028】また、第2の絶縁膜下のシリコン基板との間の領域の第1の絶縁膜が一部残るようにエッチングされ、エピタキシャル成長がアモルファスシリコンの堆積とその固相成長によるものであることが望ましい。

【0029】また、エッチングによって第2の絶縁膜とゲート電極との間の第1の絶縁膜の一部が除去されることが望ましい。

【0030】さらに、本発明の他の態様は、シリコン基板に素子分離領域を形成する工程と、シリコン基板上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート絶縁膜および前記ゲート電極の上面および側壁層を覆うように、前記基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に該第1の絶縁膜と異なる材料よりなる第2の絶縁膜を形成する工程と、前記第1の絶縁膜を前記シリコン基板に対してのエッチングストップとして前記第2の絶縁膜の表面をエッチングし、前記ゲート電極の側壁層に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去し、前記第1および第2の絶縁膜周囲の前記素子分離領域を含む前記シリコン基板の表面を露出する工程と、この露出したシリコン基板表面に前記素子分離領域上まで延在するようにシリコンのエピタキシャル成長を行ってエレベータッド領域を形成する工程と、前記エレ

ベータッド領域の少なくとも表面部分を金属シリサイド膜に変える工程とを備えたことを特徴とする半導体装置の製造方法にある。

【0031】また、金属シリサイド膜を形成する工程が素子分離領域上のエピタキシャル成長した表面においてのみ開始されることが望ましい。

【0032】また、残置された第2の絶縁膜の一部が素子分離領域上に延在するように形成されることが望ましい。

【0033】また、エピタキシャル成長工程後に第2の絶縁膜の少なくとも一部を除去する工程を含むことが望ましい。

【0034】また、前記素子分離領域を形成する製造方法において、ダマシン工程すなわち、ゲート電極、第2の絶縁膜、エレベータッドソース領域、エレベータッドドレイン領域および素子分離領域上に層間絶縁膜を堆積した後、層間絶縁膜を平坦化し、ゲート電極表面を露出する工程と、ゲート電極、次いでゲート酸化膜を除去しシリコン基板表面を露出する工程と、露出されたシリコン基板表面及び絶縁膜側壁層内面に新たにゲート絶縁膜を形成する工程と、シリコン基板の露出表面上であって、新たに形成されたゲート絶縁膜を介して新たにゲート電極を形成する工程とを付加することができる。

【0035】

【発明の実施の形態】以下、本発明について実施例に基づき、図面を参照して説明する。

(第1の実施例) 図1及び図2は第1の実施例の工程順

(a)～(j)の断面図である。まずシリコンから成る半導体基板1上に浅溝型素子分離領域(STI)11を形成し素子領域1aを形成する。次にゲート絶縁膜2を形成する(図1(a))、次に、多結晶シリコンからなるゲート電極3を堆積させ(図1(b))、リソグラフィ工程を経た後、プラズマによる異方性エッチング例えばRIE(Reactive Ion Etching)によってゲート電極を加工し、基板1から突出するように形成する(図1(c))。この後、ゲート電極を酸化させ(以下、ゲート後酸化工程と呼ぶ)、第1の側壁層4を形成する(図1(d))。このゲート後酸化工程時にソース領域/ドレイン領域8となる表面も酸化される。次にシリコン窒化膜( $\text{Si}_3\text{N}_4$ )5をCVD(chemical vapor deposition)装置によって堆積させた後(図1(e))、プラズマによる異方性エッチングによってゲート電極の横にのみシリコン窒化膜を形成する(図1(f))。ただし、このプラズマによる異方性エッチングによってソース領域/ドレイン領域8上のゲート絶縁膜およびシリコン酸化膜の一部は削れていても良い。

【0036】前記シリコン窒化膜5堆積前に必要に応じてライナー層、例えばシリコン酸化膜( $\text{SiO}_2$ )をCVD装置によって堆積させ、更に必要に応じてアニールする工程を含んでも良い。このライナー層またはシリコン窒化膜の堆積装置はCVD装置に限るものではなく、スパッ



タ装置、蒸着装置などを用いても良い。ライナー層はシリコン酸化膜に限るものではなく、複数種からなる多層膜でも良いものとする。

【0037】以下、ゲート後酸化膜(ソース/ドレイン領域上の酸化膜含む)とライナー層がある場合はそれも含わせて第1側壁層と呼び、ゲート電極横のシリコン窒化膜5を第2側壁層と呼ぶこととし、更にシリコン窒化膜の側面にさらに他の膜を形成したとしても総称して、第2側壁層と呼ぶ。ただし、この第2側壁層はシリコン窒化膜に限るものではない。また、前記シリコン基板はGeを含んでいても良いものとする。ゲート絶縁膜はシリコン酸化膜、シリコン酸窒化膜をはじめ、高誘電体膜、具体的にはシリコン酸化物より高誘電率の膜であって例えばTi, Zr, Hf, Ta, La, Al, Ba, Sr, Y, Pr, Gdから選ばれる少なくとも一種の元素を含む酸化膜若しくはシリケート膜を用いることができる。

【0038】さらに、TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, BST, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, Pr<sub>2</sub>O<sub>3</sub>, SrTiO<sub>3</sub>, Gd<sub>2</sub>O<sub>3</sub>などの単結晶膜、多結晶膜、およびアモルファス膜を用いることができる。

【0039】さらに、SiO<sub>2</sub>もしくはTiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, BST, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, Pr<sub>2</sub>O<sub>3</sub>, SrTiO<sub>3</sub>, Gd<sub>2</sub>O<sub>3</sub>にTi, Ta, Ba, Sr, Al, Y, La, Hf, Zr, Pr, Gdなどが混ざった単結晶膜、多結晶膜およびアモルファス膜でも構わない。

【0040】また、Si基板およびボリのゲート電極とゲート絶縁膜の界面の少なくともどちらかはSiO<sub>x</sub> (0<x≤2)層もしくはさらに窒素を含む層を間に介在させることが望ましい。誘電率を大きくした分、ゲート電極とエレベータド領域の距離を離すことができ、このことは寄生容量の低下につながるため、高誘電率ゲート絶縁物はSiO<sub>2</sub>ゲート絶縁物の場合に比較して、より高速動作を期待することができる。

【0041】図1(f)のように第2側壁層5まで形成した後、このシリコン基板上のソース/ドレイン領域8およびゲート電極3上のシリコン酸化膜2、4を希フッ酸(DHF)溶液によってエッチングする。その際、第2側壁層とシリコン基板間の領域の第1側壁層領域を全てエッチングする(図2(g))。このエッチングによりシリコン基板面と第2側壁層5の端5aが離間してその間に間隙10aが形成される。第1側壁層4の一部4aの厚みは他の第1側壁層厚みと同等の厚みで残す。次にLP-CVD(low pressure chemical vapor deposition)装置によって550℃から750℃の温度でアモルファスシリコン(a-Si)層6を堆積する(図2(h))。この後、750℃以下でアニールを行い、シリコン基板1のソース/ドレイン領域8を種部として固相エピタキシャル成長させることによってゲート絶縁膜とシリコン基板の界面より上方に持ち上がったエレベータドソース/ドレイン領域8を形成する(図2(i))。

【0042】更に必要に応じてゲート電極3上や第2側壁層5上のエピタキシャル成長にならないで形成されたアモルファスシリコン層のエッチングを行う。アモルファスシリコン層の堆積膜厚が100nmの場合、例えばフッ酸(49%):硝酸(70%):純水=1:80:120のエッチャントで5分エッチングすることによってエピタキシャル成長していないアモルファスシリコン層をエピタキシャル成長した結晶シリコン層に対して全て除去できる(図2(j))。ゲート電極上のa-Si層6の一部は上記工程で図2(j)のようにポリSi層7になるので残る。

【0043】図3乃至図5に示す変形例であるが、上述した図1(b)の工程の後、図に示すように、シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)9を堆積させ(図3(a))、プラズマによる異方性エッチングによってシリコン窒化膜とゲート電極3を加工し(図3(b))、ゲート電極3および基板表面を酸化してシリコン酸化膜4を形成した後(図3(c))、シリコン窒化膜5を堆積させ(図3(d))、プラズマによる異方性エッチングによってシリコン窒化膜を加工する(図4(e))。次にシリコン基板上のソース/ドレイン領域8のシリコン酸化膜41を希フッ酸(DHF)溶液によってエッチングし、a-Si層6を堆積させた後(図4(f))、固相エピタキシャル成長させることによってゲート電極上をエピタキシャル成長させることなくソース/ドレイン領域8のみシリコンエピタキシャル成長層を形成させることができる(図4(g))。ただし、ゲート電極3はシリコンとシリサイドまたは金属からなる多層膜もしくは金属であっても構わない。以下、ゲート電極5上はエピタキシャル成長する場合を示すが、エピタキシャル成長しない場合も含むものとする。

【0044】a-Si層6を堆積させる装置はUHV-CVD(ultra high vacuum chemical vapor deposition)装置でも良く、この場合を含めて、エピタキシャル成長の種部には酸素が種部におけるシリコン表面のバックボンドの面密度以下は存在していても良い。また、a-Si層6の堆積時にホスフィン(PH<sub>3</sub>)、アルシン(AsH<sub>3</sub>)、ジボラン(B<sub>2</sub>H<sub>6</sub>)などの導電型不純物を含むガスを同時に流すことによって、導電型不純物(P, AsまたはBなど)を含むa-Si層6を堆積させることができ、本実施例は前記a-Si層がこれら導電型不純物を含んでいる場合も含むものとする。

【0045】また、希フッ酸溶液によるエッチングは気相のフッ酸によるものであっても良く、プラズマを用いた異方性エッチング、例えばRIE、であっても良い。また、この固相エピタキシャル成長によって形成されたエレベータドソース/ドレイン領域8、第1側壁層4、第2側壁層5の間には空隙は存在しない(図4(g)、図10(b)の符号10b参照)。

【0046】a-Si堆積膜厚が厚い場合(図4(h))には、第2側壁層横の固相エピタキシャル成長の形態は図5(i)~(l)などの変形構造が可能である。図5(i)は

堆積層6の下層のみがエピタキシャル成長膜8となり、上層にアモルファスシリコン6が残置している形態を示す。図5(j)はエピタキシャル成長膜8の一部は表面81まで成長している形態を示す。図5(k)は側壁層5と接する部分のエピタキシャル膜厚は表面までエピタキシャル成長した領域の膜厚よりは薄い側壁層5から形成されたファセットの一部の領域の膜厚は前記表面までエピタキシャル成長した領域の膜厚よりも厚い形態を示す。図5(l)は表面までエピタキシャル成長した領域の膜厚よりも側壁層5と接する領域の膜厚が厚い形態である。前記ゲート絶縁膜は $\text{SiO}_2$ 、 $\text{SiON}$ を始め高誘電体膜でも良く、また、前記ゲート絶縁膜はDHFによるエッチング速度がシリコン酸化膜より遅い方がエピタキシャル成長後のゲートとソース領域またはドレイン領域との電気的なショートが抑制されるため望ましく、特にシリコン酸窒化膜の場合はDHFによるエッチング速度がシリコン酸化膜より10倍程度遅いため、窒素が表面側で濃いことが望ましい。

(第2の実施例) 図6に第2の実施例を示す。第2の実施例は、第1の実施例におけるエピタキシャル成長膜の形成法が、固相エピタキシャル成長ではなく気相エピタキシャル成長によるものであること以外、同様の製造工程である。図で符号は図1及び2と同じものは同じ符号で示してある。ただし、この実施例で、気相エピタキシャル成長による、エピタキシャル成長領域にはファセットが形成されており、第1側壁層、第2側壁層、エピタキシャル成長膜の間に空隙10bが存在する(図6(a))。第2側壁層横の気相エピタキシャル成長の形態としては、成長膜の膜厚に応じて図6(b)、図6(c)、図6(d)なども可能である。図6(b)は第2側壁層5に接しながらファセットを生じずにエピタキシャル成長層8aが形成される形態を示す。図6(c)は第2側壁層5横に接しながらファセットを生じながらエピタキシャル成長層8bが形成され形態を示す。図6(d)は側壁層5に接することなくエピタキシャル成長層8cが形成されている形態を示す。

【0047】空隙10bはゲート電極とエレベータードソース/ドレイン間を隔離し、空隙10bが低誘電率であるため寄生容量を低減することができる。

(第3の実施例) 第3の実施例は第1の実施例におけるエッチングにおいて、第2側壁層とシリコン基板間の第1側壁層の一部4bがエッチングされずに残っていること以外、第1の実施例と同様の製造工程で、図7(a)～(c)に示す。なお、符号は図1及び2と同じものは同じ符号で示してある。

(第4の実施例) 第4の実施例を図8で説明する。第1の実施例におけるエッチング工程(図2(g))において、第2側壁層5とシリコン基板1の間の第1側壁層領域4dが全てエッチングされ、更に第2側壁層5とゲート電極3間の第1側壁層領域の一部4cがエッチングされ

膜厚が第1側壁層4の他の部分よりも減少していること以外、第1の実施例と同様の構造で、図8に示す。エレベータードソース/ドレイン領域8がこの薄肉部分4cに接して基板と第2側壁層間の空隙に充たされている。この場合も図1と同じものは同じ符号で示してある。

(第5の実施例) 第5の実施例を図9で説明する。第1の実施例におけるエッチング工程(図2(g))において、第2側壁層5とシリコン基板1の間の第1側壁層領域が全てエッチングされ、更に第2側壁層とゲート電極間の第1側壁層領域の一部4cがエッチングされていること以外、第2の実施例と同様で、図9に示す。この薄肉部分4cに空隙10bが形成される。なお、図3と同じ符号は同じものを表す。

(第6の実施例) 図10に示す第6の実施例は、第1の実施例、第3の実施例、第4の実施例または第5の実施例における第2側壁層下の第1側壁層までのエッチング量xが、第2側壁層端5aとシリコン基板との空隙10aの垂直方向距離をy、エピタキシャル成長膜8のシリコン基板と接する箇所における側端面Pの角度を $\theta$ とした場合、

$$x > y / \tan \theta \quad \dots (1)$$

を満たしていること以外は、それぞれの実施例と同様である。ここに長さxはゲート絶縁膜2の端2aから第2側壁層5外周縁までの寸法である。

【0048】ただし、図10(a)は第1の実施例に対応しており、第1側壁層4の一部4aは側壁層4の他部分と同じ厚さを有している。第2側壁層5下のDHFによりエッチングされた第2側壁層端5aとシリコン基板との空隙10aがa-Si層(熱処理で結晶Si層8になる)の固相エピタキシャル成長によって充満されたものを示している。図10(b)は第2の実施例に対応して第2側壁層5下のDHFによりエッチングされた第2側壁層端5aとシリコン基板との空隙10aが気相エピタキシャル成長によって充満されているものの、空隙10bを残しているものを示している。

【0049】図10(c)は第3の実施例に対応しており、第1側壁層4の一部4bが側壁層4の他部よりも厚い状態で残るように第2側壁層5下のDHFによりエッチングされている。第2側壁層端5aとシリコン基板との空隙10aがa-Si層(熱処理で結晶Si層8)の固相エピタキシャル成長によって充満されており、図10(a)とは充満される長さ(x)が異なる例を示したものである。

【0050】図10(d)は第4の実施例に対応して第1側壁層4の一部4cは側壁層4の他部分よりも膜厚が薄くされ、第2側壁層5下のDHFによりエッチングされた領域がa-Si層の固相エピタキシャル成長によって充満されているものの、図10(a)及び(c)とは充満される長さ(x)が異なる例を示したものである。すなわち長さxを大きくするために、基板、第1側壁層および

第2側壁層に囲まれた底部分を間隔10a距離よりもオーバーエッチする。この底部分に充たされるエレベーター領域の膜厚（基板面に対して垂直方向の距離）が間隔距離10aよりも大きくなる。

【0051】図10(e)は第5の実施例に対応して第1側壁層4の一部4cは側壁層4の他部分よりも膜厚が薄くされ、第2側壁層5下のDHFによりエッチングされた領域が気相エピタキシャル成長によって充満されているものの、図10(a)及び(c)とは充満される長さ(x)が異なり、角度θも異なる例であり、空隙10bも存在している。

【0052】ところで、図10において、x、y、θはそれぞれ図中に示した通りである。ここで、θは気相エピタキシャル成長、固相エピタキシャル成長の場合を合わせて

$$0 < \theta < \pi \quad \dots (2)$$

の範囲の角度であり、特に固相エピタキシャル成長におけるθは

$$\pi/2 < \theta < \pi \quad \dots (3)$$

となる場合があり、この場合

$$\tan \theta < 0 \quad \dots (4)$$

である。

【0053】なお、図10において、図1乃至図6と同じ符号は同じものを表す。

（第7の実施例）図11に示す第7の実施例は、第1の実施例～第6の実施例と同様の製造工程で製造されるが、前記エピタキシャル成長膜（エレベーター領域）8が素子分離領域11面上まで乗り上げていることを特徴とする（図11(a)）。本発明者は本発明に先立つ実験により素子分離領域11と活性領域1aの境界を通常のように<110>方向から傾けた場合、特に<100>方向へ向けた場合に素子分離の上へ十分乗り上げさせることができるという知見を得た。100nmのa-Si層を680℃～700℃のRTA(rapid thermal anneal)を60秒程行うことによって{110}ファセット面を形成しながら150nm～200nm程度、素子分離領域11上を横方向に固相成長させることができた。

【0054】横方向へのエピタキシャル成長量をt、成長膜のファセット面すなわちエレベーター領域側面P1とシリコン基板表面との成す角度をφ、a-Si膜厚をsとした場合、望ましくは

$$t > s / \tan \phi \quad \dots (5)$$

である方がよい（図11(b)）。本実施例の場合、{100}基板を用いており、a-Si層の膜厚は100nmであり、ファセット面が{110}面であるので素子分離領域上を横方向に100nm以上エピタキシャル成長させれば素子分離領域とソース領域またはドレイン領域の境界上のエピタキシャル膜厚はシリサイド起因のSTI近傍のリークを抑制でき、本実施例においてはこの条件を満たしている。なお、図11において図1、2と同じ符号は同じものを表

す。

（第8の実施例）第8の実施例は図12に示すように、第1の実施例～第7の実施例と同様の製造工程で製造されるが、エピタキシャル成長膜8を形成後、シリコン基板内への拡散層形成を固相拡散によって拡散領域12を形成することを特徴とする。エレベーター領域が不純物を含んでいる場合、アニールすることによってシリコン基板1中へ不純物を固相拡散させ、拡散領域12を形成することができる。特にエレベーター領域が不純物を含むガスを流しながらアモルファスシリコンを成膜してエピタキシャル成長させることによって形成された場合、不純物を固溶限以上に含んでいるので効果的である。ゲート端からエピタキシャル端までの距離（図12(a)のYj）が20nm以下とした場合、本実施例では、アニールは、例えばRTA(rapid thermal anneal)装置で800℃、10秒程度行うことによって、ゲート端の不純物濃度が $1 \times 10^{18} (\text{cm}^{-3})$ 程度で拡散層深さもYjと同程度に浅い、低抵抗かつ短チャネル効果を抑制する拡散層を形成することができる。また、側壁層形成後に必要に応じてエピタキシャル成長前後に不純物がイオン注入される工程が付加されている場合も含むものとする。なお、図12においても、図1、2と同じものは同じ符号で示し、図12の11は素子分離領域である。

（第9の実施例）図13において、第9の実施例は、イオン注入によって拡散層14を形成することを特徴とする。まず、ゲート電極3を加工後、ゲート絶縁膜越しにイオン注入装置によって不純物をシリコン基板中に導入し、アニールすることによってエクステンション領域13を形成する（図13(a)）。次に、第1実施例～第8実施例と同様に側壁層5とエレベーターソース/ドレイン領域8を形成し、イオン注入によってエクステンション領域13よりもシリコン基板1中の深い領域へも不純物を導入し、アニールすることによってDeep拡散領域14を形成する（図13(b)）。このようにして形成された拡散層は低抵抗で短チャネル効果が抑制されている。この図13の場合も、図1、2と同じものは同じ符号で示し、図13の符号11は素子分離領域を示す。

（第10の実施例）図14で説明するように、第10の実施例は、エレベーター領域8の少なくとも一部をシリサイド化15することによって拡散層を低抵抗化していることを特徴とする。まず第1の実施例～第9の実施例と同様にエピタキシャル成長によってエレベーター領域8を形成する（図14(a)）。次にシリサイド工程によりエレベーター領域8の一部をシリサイド化する。特にゲート電極上でもpolyシリコンが成長している場合、ゲート電極表面もシリサイド化15され、ゲートも低抵抗化される（図14(b)）。この図14においても、図1、2と同じ符号は同じものを表す。

（第11の実施例）図15で説明するように、第11の実施例は、第10の実施例と同様であるが、素子分離領

域 11 上に側壁層 5 の一部が存在することを特徴とする。実施例 1 と同様、図 1 (a) ~ (f) 工程で側壁層 5 を形成する。側壁層の厚みを大とし、側壁層端縁 5a が基板の活性領域 1a 上を庇状に覆って分離領域 11 端まで達するか、それ以上とする。実施例 1 ~ 実施例 6 同様にシリコン酸化膜領域のエッチング(図 15 (a))、エピタキシャル成長 8 を行う(図 15 (b))。この図 15 においても、図 1、2 と同じ符号は同じものを表す。

(第 12 の実施例) 図 16 で説明するように、第 12 の実施例は、エピタキシャル成長の後、素子分離領域 11 の垂直上方においてのみ、前記エピタキシャル領域の少なくとも一部をシリサイド化 15 していることを特徴とする。図 15 (b) のようにエピタキシャル成長を行った後、シリサイド膜を自己整合的に形成している。この図 16 においても、図 1、2 と同じ符号は同じものを表す。

(第 13 の実施例) 第 13 の実施例を図 17 に示す。本実施例は、エレベータッドソース/ドレイン領域 8 を形成後(図 17 (a))、エレベータッドソース/ドレイン領域 8 上の第 2 側壁層 5 をエッチング除去した後(図 17 (b))、領域 8 をシリサイド化 15 していることを特徴とする(図 17 (c))。低抵抗膜であるシリサイド膜がチャンネル近傍のエクステンション領域上の側壁層領域まで存在することによってソース/ドレインが低抵抗化されている。必要に応じて第 2 側壁層をエッチング後、低加速のイオン注入や気相拡散によってエクステンション領域へ不純物が導入されても良い。図 17 (a) はゲート上にシリコン窒化膜( $\text{Si}_3\text{N}_4$ )などのエピタキシャル成長抑制層 17 がある場合を示したがこの層 17 は必ずしも必要ではない。シリコン窒化膜( $\text{Si}_3\text{N}_4$ )層(5 および 17)を熱燐酸またはプラズマを用いた異方性エッチングによって図 19 (b) のように除去した後、シリサイド層 15 を形成する。なお、この実施例 15 の場合も、図 1、2 と同じものは同じ符号で表す。

(第 14 の実施例) 図 18 (a) から (c) で説明するように、第 14 の実施例は、第 13 の実施例と同様であるが、エレベータッドソース/ドレイン領域 8 を形成後、シリサイド化 15 し、エレベータッドソース/ドレイン領域 8 上の第 2 側壁層 5 をエッチングしていることを特徴とする。必要に応じて第 2 側壁層 5 をエッチング後、低加速のイオン注入や気相拡散によってエクステンション領域へ不純物が導入されても良い。誘電率の比較的高い第 2 側壁層をエッチングすることでゲートとエレベータッドソース領域またはエレベータッドドレイン領域との寄生容量を低減でき、シリサイド膜をエクステンション領域、特にその基板との接合領域から遠ざけ、エレベータッド膜厚の厚い領域でシリサイド化することで楔上のシリサイド化に対してプロセス上余裕を持たせることができる。

(第 15 の実施例) 図 19 で説明するように、第 15 の

実施例は、第 1 の実施例 ~ 第 14 の実施例と同様に製造される。本例はエレベータッドソース/ドレイン領域の形状が nMOS と pMOS とで異なることを特徴とする。まず、図 19 (a) のように素子分離 11 を有するシリコン基板 1 に nMOS、pMOS とともに側壁層 5 まで形成し、図 19 (b) のように片側をマスク 20 で覆う。本実施例においてはマスク材としてシリコン窒化膜も用い、pMOS 領域をマスクする場合について説明する。次に、nMOS のエレベータッドソース/ドレイン領域を前記した方法でエッチングし、エピタキシャル成長層 8n を形成する(図 19 (c))。次に nMOS 領域を酸化し、シリコン窒化膜 21 を堆積してマスクした後、pMOS のエレベータッドソース/ドレイン領域 8p をもつ pMOS 領域を形成する(図 19 (d))。nMOS 領域の酸化膜を除去する(図 19 (e))。nMOS と pMOS を形成する際、エピタキシャル成長の種部となるシリコン基板ソース/ドレイン領域上の酸化膜のエッチング量、エピタキシャル膜厚、エレベータッドソース/ドレイン上の金属または金属シリサイドの種類などを nMOS、pMOS とで異なったものとしてでき、nMOS、pMOS を同一形状にした場合と比べて CMOS の伝達遅延時間を短くすることができる。本実施例では nMOS から先に形成する場合を示したが、pMOS から先に形成する場合も含むものとする。

(第 16 の実施例) 第 16 の実施例を図 20 に示す。第 1 の実施例 ~ 第 15 の実施例と同様に製造される。本例ではエレベータッドソース/ドレイン領域 8 を形成後、適宜ダミーゲート電極領域をエッチング除去後ゲートを埋め込むダマシゲート工程によって MIS 型トランジスタのゲートを作成していることを特徴とする。以下、ゲート電極上にシリコン窒化膜( $\text{Si}_3\text{N}_4$ ) 17 のキャップが存在する場合において説明する。第 1 の実施例の図 1 (a) ~ 図 2 (j) のようにしてエレベータッドソース/ドレイン領域 8 を作成後、ただし、第 1 の実施例の図 1 (a) の工程において、多結晶シリコンのゲート電極 3 上の ( $\text{Si}_3\text{N}_4$ ) 17 をキャップとして残しておき、図 2

(h) 工程でキャップ上に形成されるアモルファスシリコンをエッチング除去し(図 20 (a))、その一部をシリサイド化してシリサイド層 15 (図 20 (b)) とし、層間絶縁膜 18 を堆積後、CMP (chemical mechanical polishing) などマスクであるゲート電極 3 上のシリコン窒化膜上面まで平坦化する(図 20 (c))。

【0055】次に熱燐酸処理によりシリコン窒化膜 17 を除去した後、CDE (chemical dry etching) によりゲート電極 3 (多結晶シリコン) を除去する(図 20 (d))。ゲート絶縁膜 ( $\text{SiO}_2$ ) および第 1 側壁層 (ライナー層含む) 4 を希フッ酸 (DHF) で除去し(図 20 (e))、前記シリコン基板を露出させる。次にシリコン基板領域およびエレベータッド領域がある場合はその領域も含めて酸化するか、または絶縁膜例えば酸化タンタル、酸化チタン、酸化ハフニウムを堆積させることによってゲート絶縁膜 19 を

形成する(図20(f))。場合によっては窒化層などの界面層を形成しても良い。ゲート材料を金属のタングステンとすると、反応防止膜20として例えば窒化チタンを形成させた後、溝部分にタングステンを形成し、CMPなどで平坦化することで、ゲートタングステン電極3aを溝に埋め込む(図20(g))。

【0056】以上説明した実施例において、その後は、通常のトランジスタ形成工程に従う。つまり、層間絶縁膜を全面に堆積させ、ゲートコンタクトホールのパターニングをした後、異方性エッチングによってコンタクトホールを形成する。反応防止層として窒化チタンを形成した後、ゲート配線となるアルミを形成する。ゲート配線をパターニングによりレジストに転写し、エッチングによりアルミを除去することによりゲート配線を完成する。上述したダマシゲートトランジスタの製造方法を示す第16の実施例によれば、ソース・ドレインイオンの注入及びアニール、Siエピタキシャル成長等の700℃程度以上の高温熱工程が終了した後にゲート絶縁膜を形成することができる。又、このゲート絶縁膜の形成工程の後には、もはや500℃以上の高温工程は、必要とされない。従って、高温工程で物性の変化が起こる、TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、BST等の高誘電体膜をゲート絶縁膜として用い、良好な特性を得ることができる。

【0057】本発明は、上記実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々に変形して実施することができる。例えば、第16の実施例において層間膜及びゲート材料の平坦化にCMPを用いているが、エッチバックでも形成できる。又、ゲート部分に関しては、CMPで平坦化を行わずにパターニングとエッチングによりゲート電極を形成してもよい。ゲート電極は、タングステンに限らず、アルミニウムや銅などの他の金属でも可能である。又、反応防止膜としては、窒化チタンの他に、窒化タングステン、窒化タンタルでもよい。尚、電極自体が金属ではなく、リンを含んだ多結晶シリコンの場合は、反応防止膜を必要としない。ゲート絶縁膜は、酸化タンタルに限らず誘電率の高い絶縁膜であればよい。又、ダミーゲートを除去した際に、ゲート絶縁膜(バッファ酸化膜)越しにイオン注入することで局所的なしきい値調整を行うこともできる。

【0058】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0059】

【発明の効果】以上説明したように、本発明のエレベテッドソース/ドレイン構造を有する半導体装置およびその製造方法によれば、短チャネル効果および接合リーク電流の発生が抑制され、かつ低抵抗な拡散層を有する伝達遅延時間の短い、半導体装置を実現できる。また、本発明のエレベテッドソース/ドレイン構造を有するダマシゲートトランジスタが形成される半導体装置およびその製造方法によれば、ゲートとソースまたはドレ

イン間のリークを抑制でき、チャネルに対するゲートの制御性が良好な素子を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための図で、多層の側壁層およびシリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったエレベテッドソース/ドレイン領域を持つMIS型トランジスタの製造方法の工程(a)～(f)を示す工程断面図。

【図2】本発明の第1の実施例を説明するための図で、多層の側壁層およびシリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったエレベテッドソース/ドレイン領域を持つMIS型トランジスタの製造方法の工程(g)～(j)を示す工程断面図。

【図3】本発明の第1の実施例の変形例を説明するための図で、シリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったエレベテッドソース/ドレイン領域が固相エピタキシャル成長を用いて形成されたトランジスタの製造方法の工程(a)～(d)を示す工程断面図。

【図4】本発明の第1の実施例の変形例を説明するための図で、シリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったエレベテッドソース/ドレイン領域が固相エピタキシャル成長を用いて形成されたトランジスタの製造方法の工程(e)～(h)を示す工程断面図。

【図5】本発明の第1の実施例の変形例を説明するための図で、シリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったエレベテッドソース/ドレイン領域が固相エピタキシャル成長を用いて形成されたトランジスタの製造方法による変形例(i)～(l)を示す断面図。

【図6】本発明の実施例2を説明するための図で、シリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったエレベテッドソース/ドレイン領域が気相エピタキシャル成長を用いて形成されたトランジスタの製造方法を示す工程断面図。

【図7】本発明の実施例3を説明するための図で、シリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったエレベテッドソース/ドレイン領域が固相エピタキシャル成長を用いて形成されたトランジスタの製造方法を示す工程断面図。

【図8】本発明の実施例4を説明するための図で、シリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったもう一つのエレベテッドソース/ドレイン領域が固相エピタキシャル成長を用いて形成されたトランジスタの製造方法を示す工程断面図。

【図9】本発明の実施例5を説明するための図で、シリコン基板とゲート絶縁膜界面より垂直上方に持ち上がったエレベテッドソース/ドレイン領域が気相エピタキシャル成長を用いて形成されたトランジスタの製造方法を示す工程断面図。

【図10】本発明の実施例6を説明するための図。

【図11】本発明の実施例7を説明するための図で、素子分離領域上を横方向エピタキシャル成長した素子であることおよびその横方向エピタキシャル成長した量 $t$ 、ファセットの角度 $\phi$ 、素子分離と活性領域境界上のエピタキシャル層の膜厚 $s$ を示す図。

【図12】本発明の実施例8を説明するための図で、ゲート端からエッチング端までの距離 $Y_j$ および拡散層深さを示す図。

【図13】本発明の実施例9を説明するための図で、エクステンション領域およびデープ領域の各拡散層領域を示す図。

【図14】本発明の実施例10を説明するための図で、ソース領域またはドレイン領域にシリサイドを含むMIS型トランジスタの製造方法を示す工程断面図。

【図15】本発明の実施例11を説明するための図で、サイドウォールの一部が素子分離領域上に存在しエレベータッドソース／ドレイン領域を有するMIS型トランジスタの製造方法を示す工程断面図。

【図16】本発明の実施例12を説明するための図で、サイドウォールの一部が素子分離領域上に存在し一部シリサイド化されたエレベータッドソース／ドレイン領域を有するMIS型トランジスタの製造方法を示す工程断面

図。

【図17】本発明の実施例13を説明するための図で、第2側壁層がエッチングされることを示す工程断面図。

【図18】本発明の実施例14を説明するための図で、第2側壁層がエッチングされることを示す工程断面図。

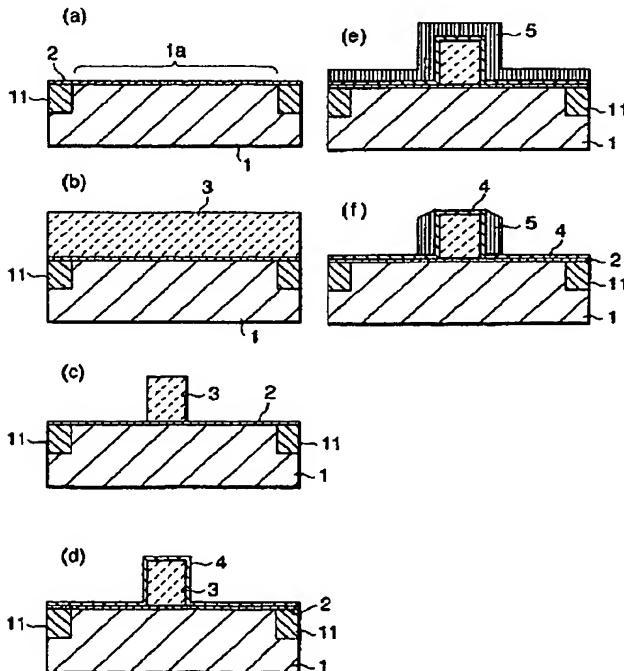
【図19】本発明の実施例15を説明するための図で、エレベータッドソース／ドレイン形状がnMOS、pMOSと異なるCMOSトランジスタを形成する工程断面図。

【図20】本発明の実施例16を説明するための図で、エレベータッドソース／ドレイン形成工程とダマシン工程を有するMIS型トランジスタの製造方法を示す工程断面図。

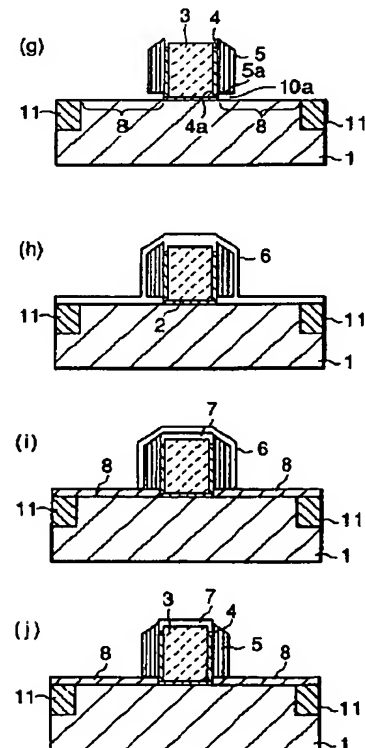
【符号の説明】

- 1：半導体基板
- 2：ゲート絶縁膜
- 3：ゲート電極
- 4：第1側壁層
- 5：第2側壁層
- 8：ソース領域／ドレイン領域
- 10a：間隙
- 10b：空隙
- 11：素子分離領域

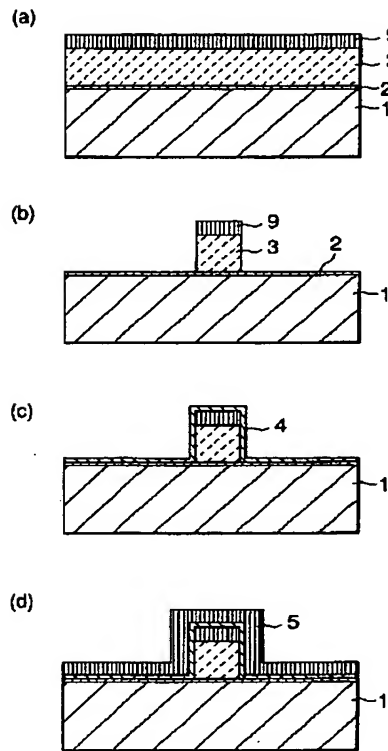
【図1】



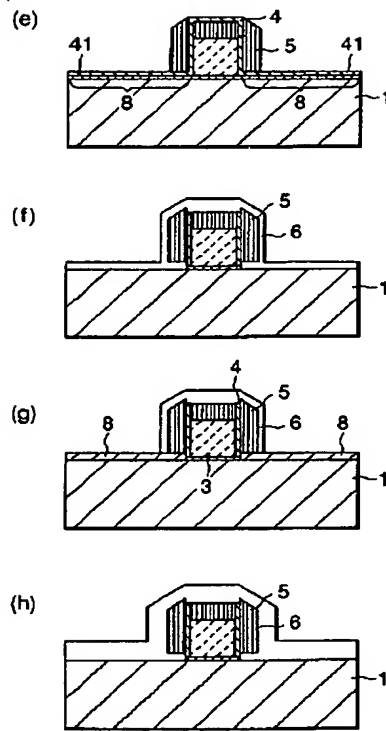
【図2】



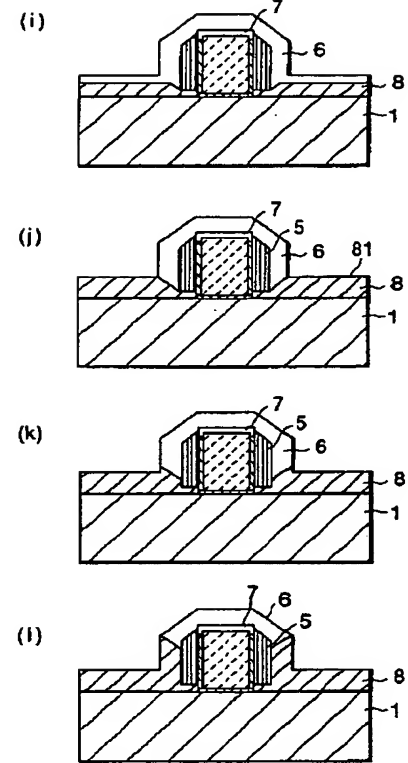
【図 3】



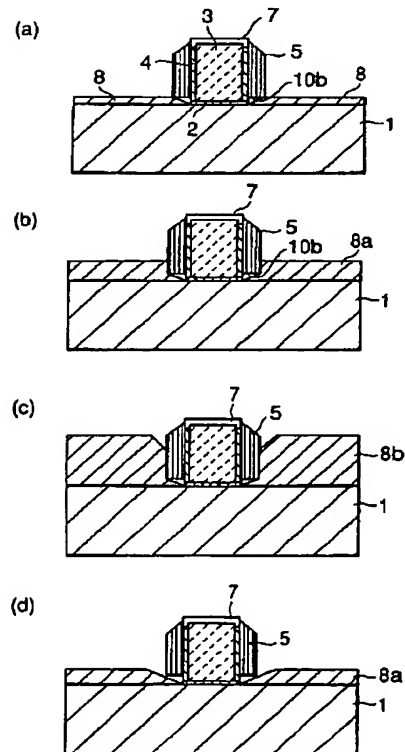
【図 4】



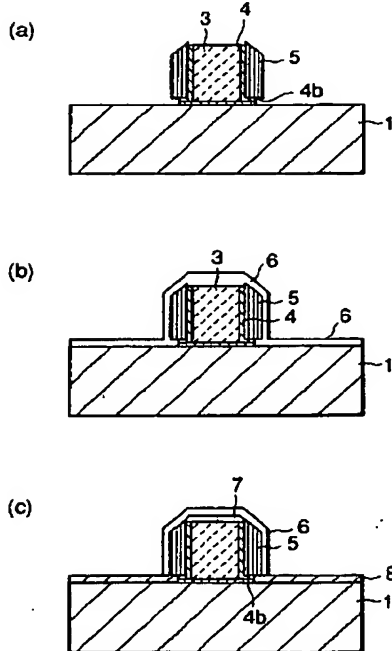
【図 5】



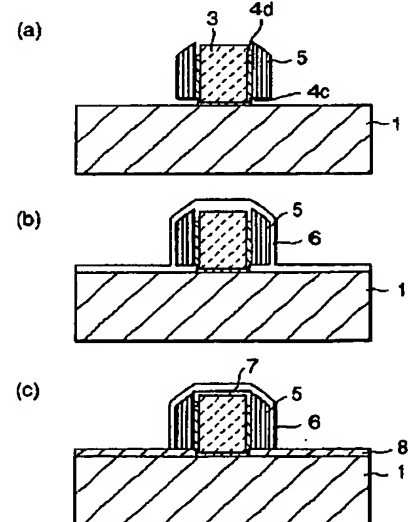
【図 6】



【図 7】

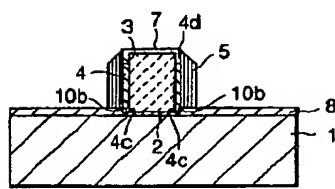


【図 8】

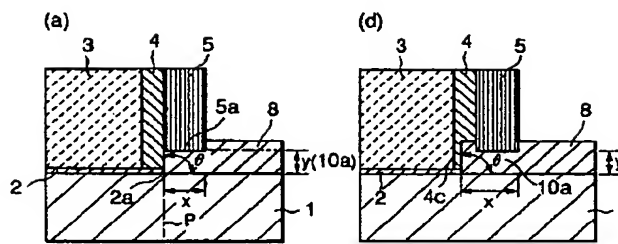




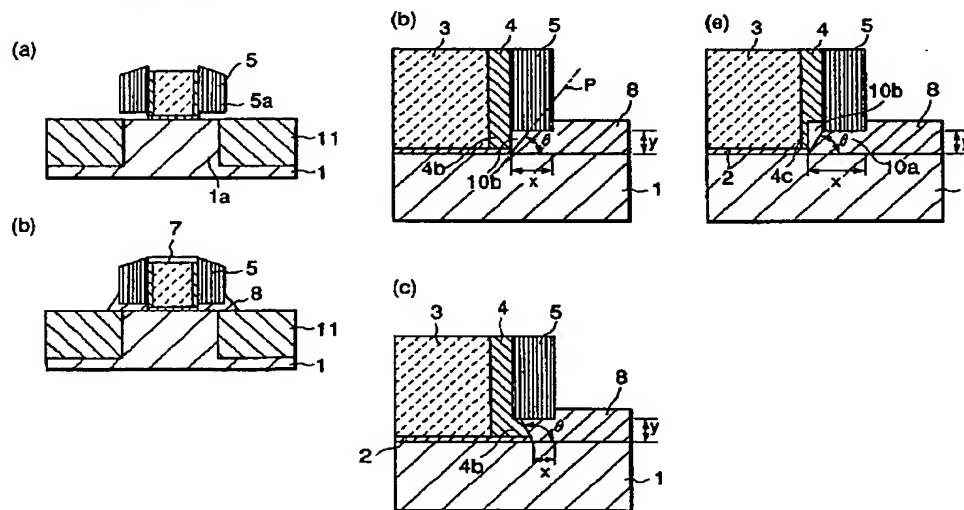
【図 9】



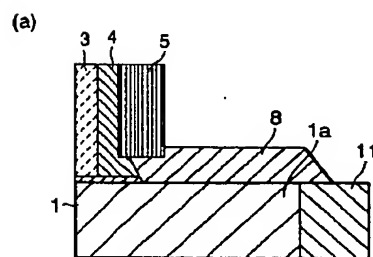
【図 10】



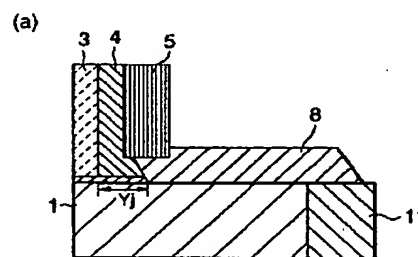
【図 15】



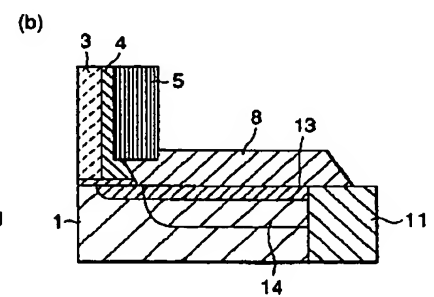
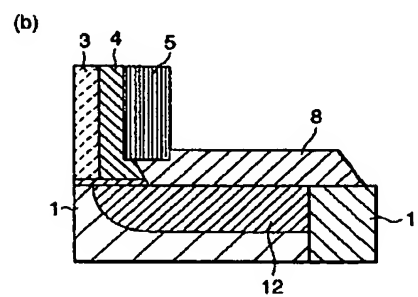
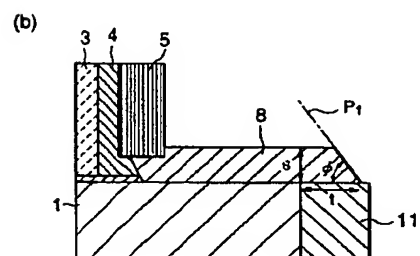
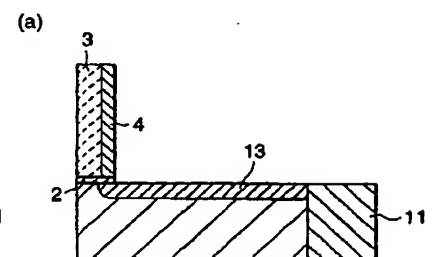
【図 11】



【図 12】

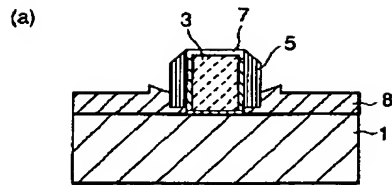


【図 13】

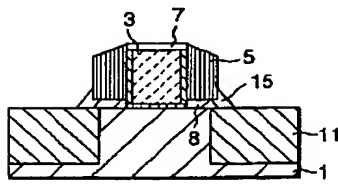




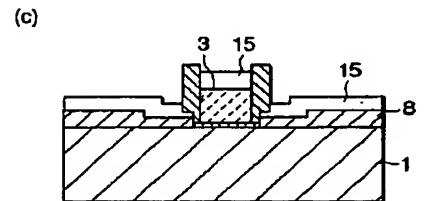
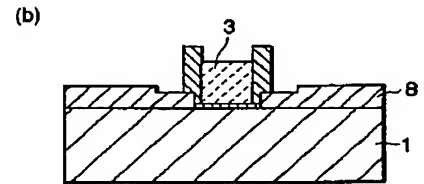
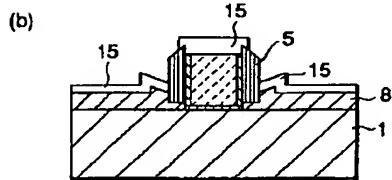
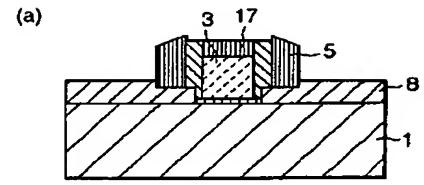
【図14】



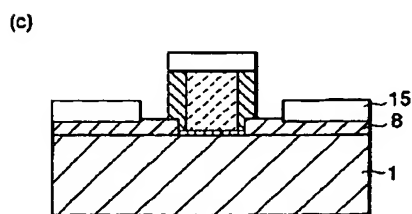
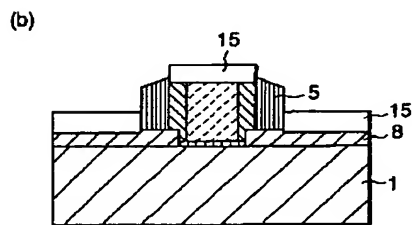
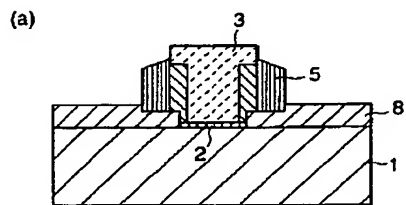
【図16】



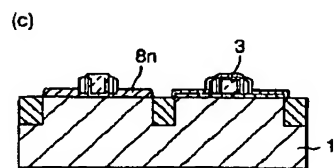
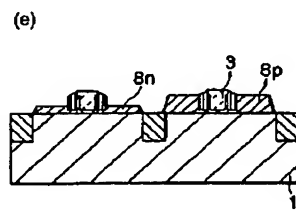
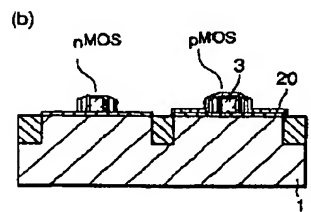
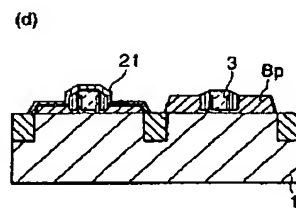
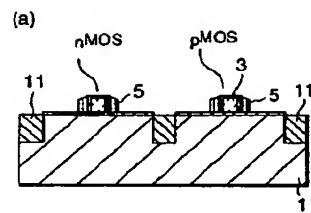
【図17】



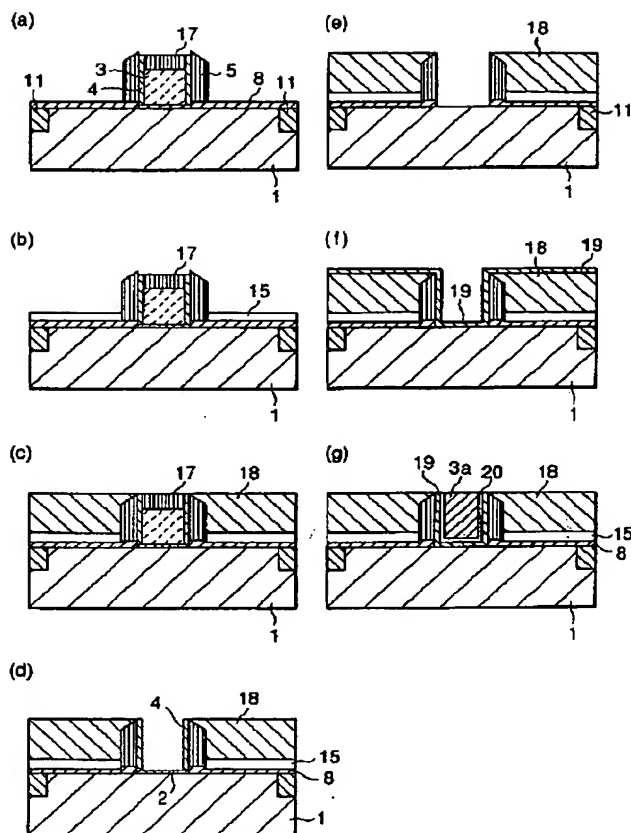
【図18】



【図19】



【図 20】



フロントページの続き

F ターム(参考) 5F048 AA01 AC03 BA01 BB05 BB08  
 BC01 BC11 BC16 BG14  
 5F052 GC03 JA01 KA05  
 5F140 AA21 AA24 AB03 BA01 BC06  
 BD06 BD07 BD09 BD11 BD12  
 BD13 BD15 BD17 BF01 BF04  
 BF10 BF11 BF17 BG09 BG12  
 BG14 BG28 BG30 BG34 BG36  
 BG38 BG40 BG49 BG52 BH06  
 BH14 BJ01 BJ08 BK13 BK16  
 BK17 BK18 BK20 BK34 CB04  
 CE07 CF04